



# Sekvenční obvody



Vyučující:

**Zdeněk Plíva**

*e-mail: [zdenek.pliva@tul.cz](mailto:zdenek.pliva@tul.cz)  
3536*



**Miroslav Holada**  
**Leoš Petržílka**

...



<http://www.ite.tul.cz>

## Snímek 2

---

**MH1** přidal jsem fotku ;- ) (svoji - aktuální 2020)

Miroslav Holada; 13. 2. 2020

**MH3** Kontakt na mne: tel. školní 485353080

GSM: +420731407770

a mail:

[miroslav.holada@tul.cz](mailto:miroslav.holada@tul.cz)

Miroslav Holada; 27. 2. 2020



- 1.4.2020 do 69,
- na začátku jen RS a měření PT
- ~~4.4.2018 slide 24~~
- ~~11.4.2018 slide 90 (a příklad 83)~~
- Praktická ukázka Domino
  - Sestavení PT NAND a RS na úvod
  - Na konci BCD číslo menší než 5





# Přehled info-markerů



Informace obsažené ve slajdech přednášek jsou různě důležité pro různé studijní obory a zaměření. Na některých slajdech může být značka, která informuje o významnosti a důležitosti prezentované informace.



důležité - vyžadováno u zkoušky



informativní slajd s "doplňkovou" informací

Pokud slajd není označen, tak je jeho důležitost střední (tj. Něco mezi důležitým a informativním).



základní znalosti z předchozího studia (fyziky)



zásadní informace pro pochopení další látky





# Na konci...

**Asi 1 hod, příklad v BCD číslo pod 5,  
sekvenční voda ve sklepě**

- Příklad realizace kombinační úlohy
- Rozdělení sekvenčních obvodů
- RS klopný obvod
- D-klopný obvod
- JK-klopný obvod
- Konstrukce Master-Slave obvodů





# Sekvenční obvody

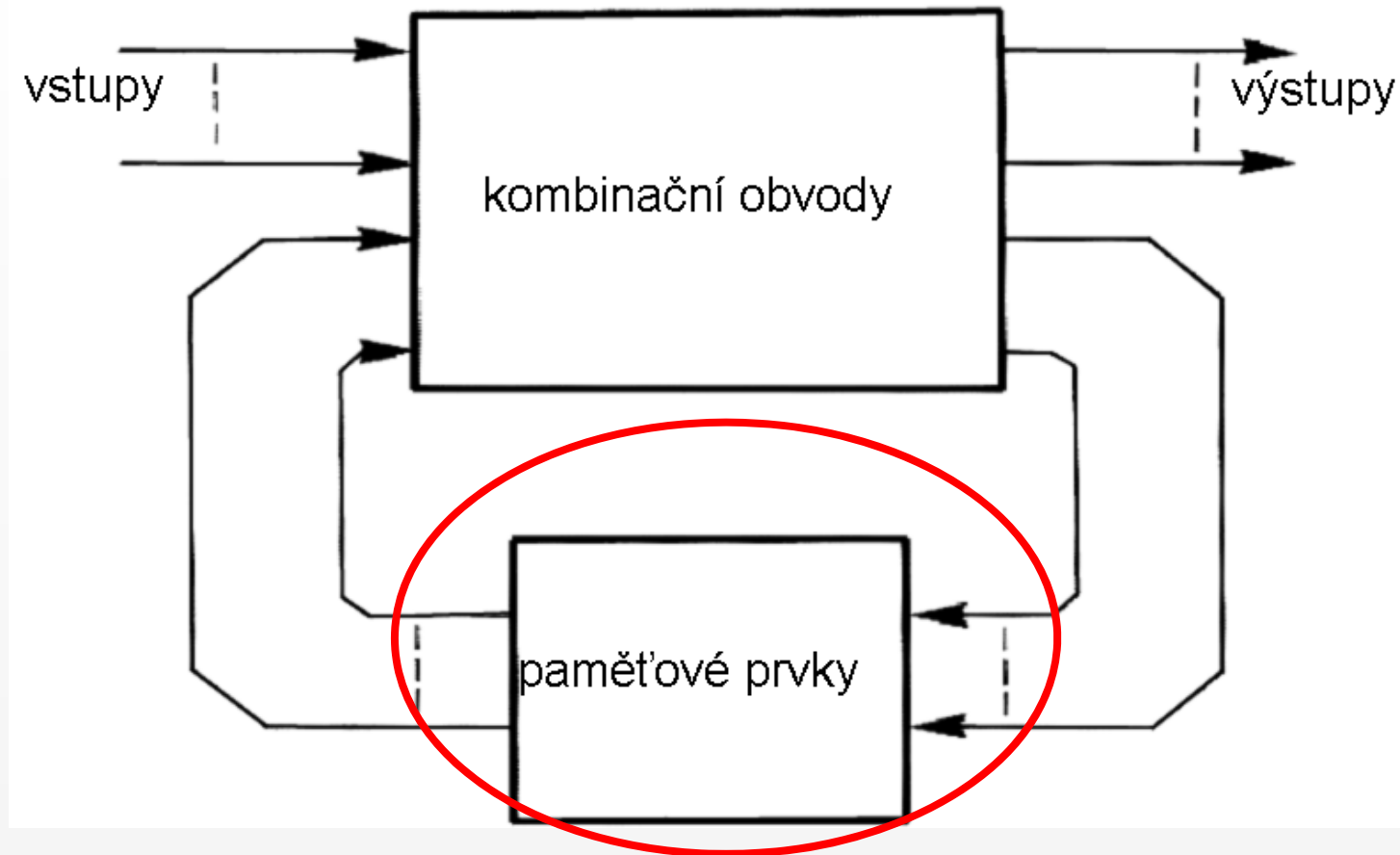


- Rozdělení sekvenčních obvodů
- RS klopný obvod
- D-klopný obvod
- JK-klopný obvod
- Konstrukce Master-Slave obvodů
- Čítače
- Registry
- Realizace sekvenčních úloh





# Sekvenční obvody



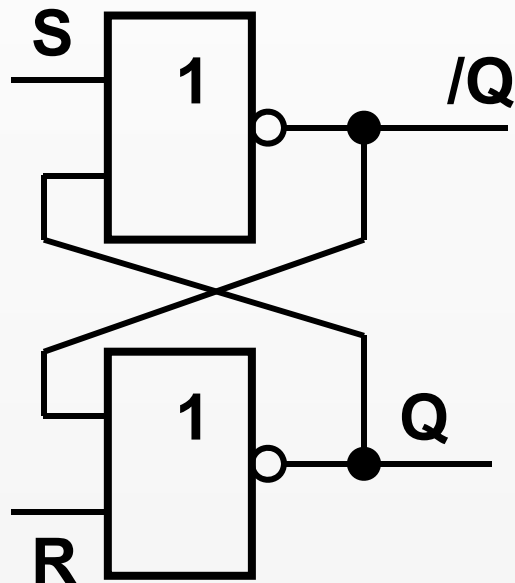
**výstupy** jsou určeny hodnotou **vstupů** a **vnitřním** (předcházejícím) stavem







# R-S klopný obvod



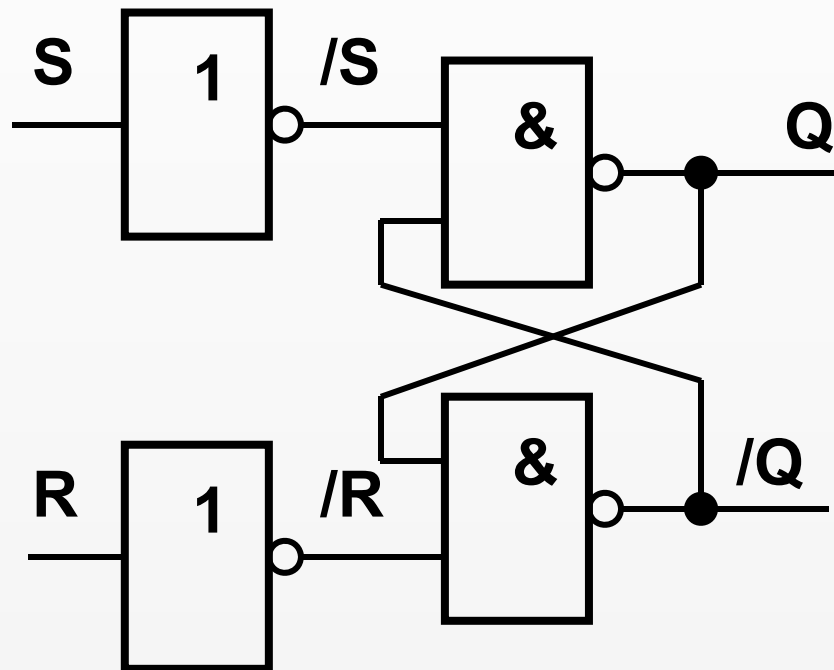
R	S	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	X (0)
1	1	1	X (0)

te.tul.cz





# R-S klopný obvod



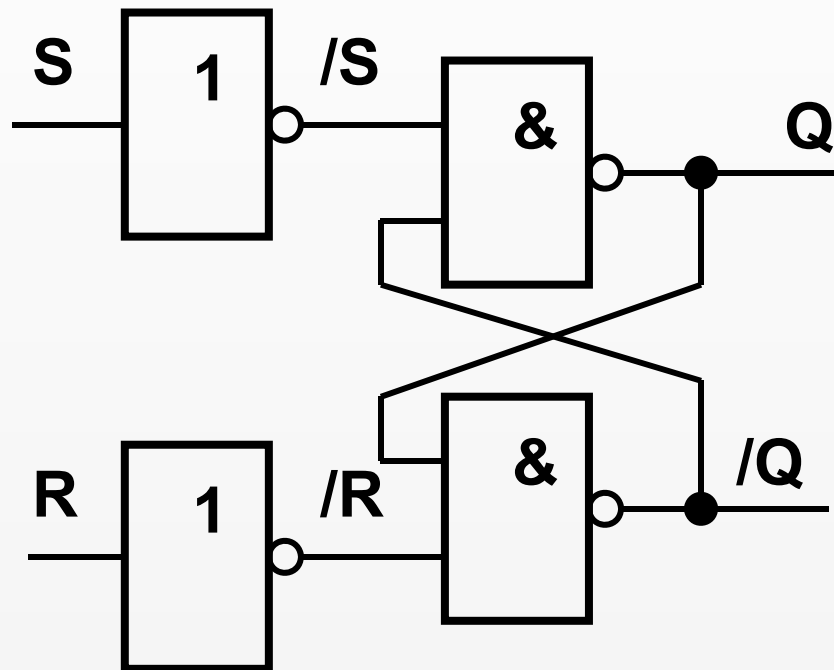
R	S	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	X (1)
1	1	1	X (1)

http://www.w.tu.tul.cz





# R-S klopný obvod



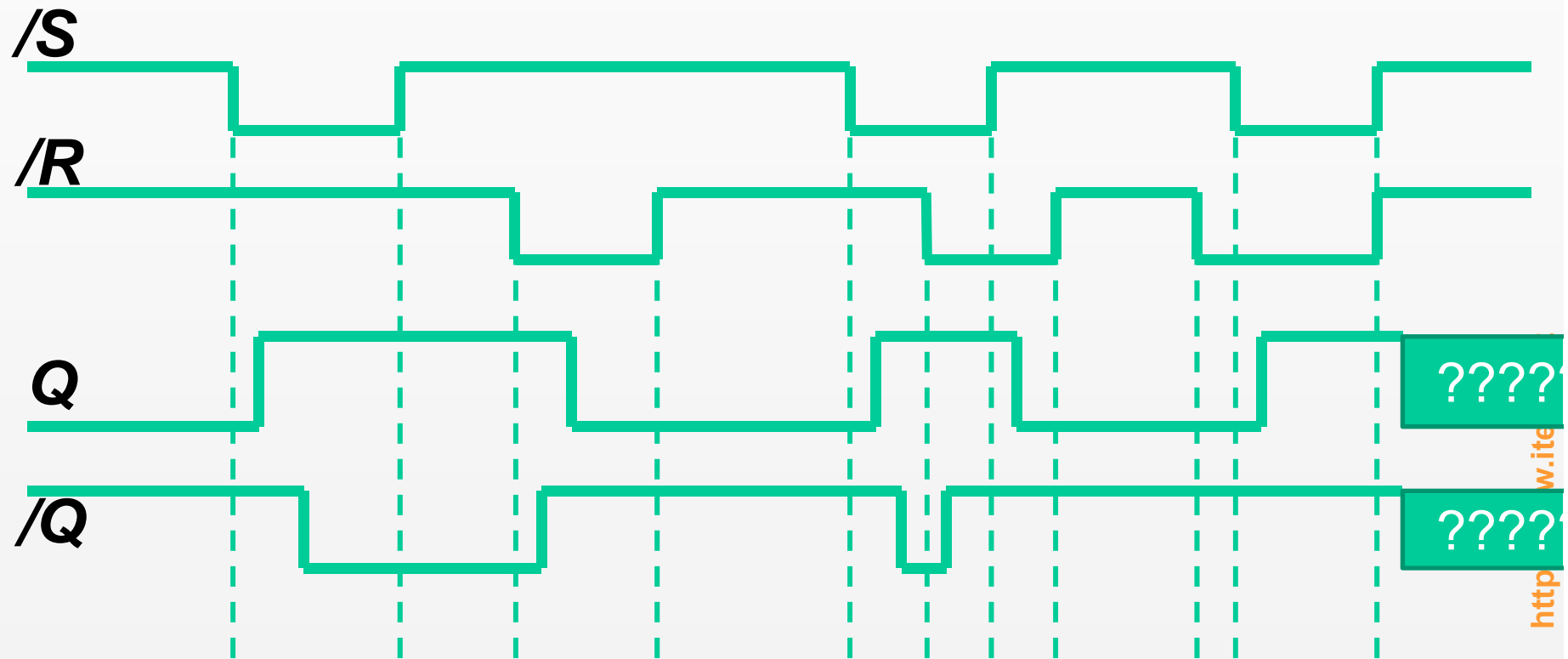
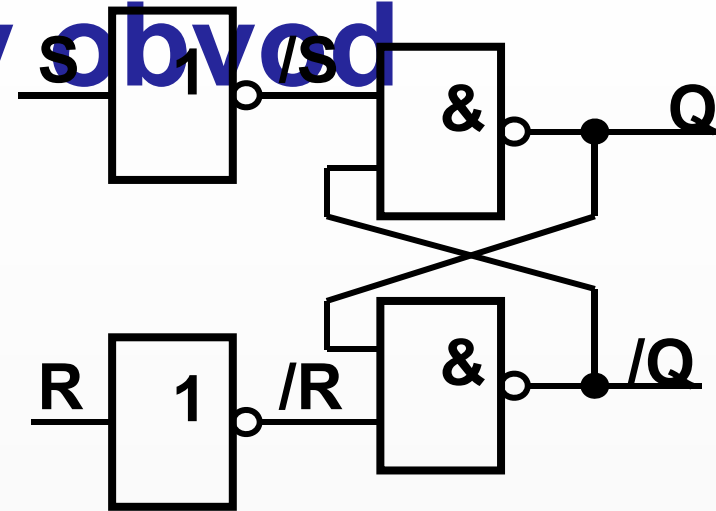
R	S	$Q_t$
0	0	$Q_{t-1}$
0	1	1
1	0	0
1	1	X

<http://www.ite.tul.cz>



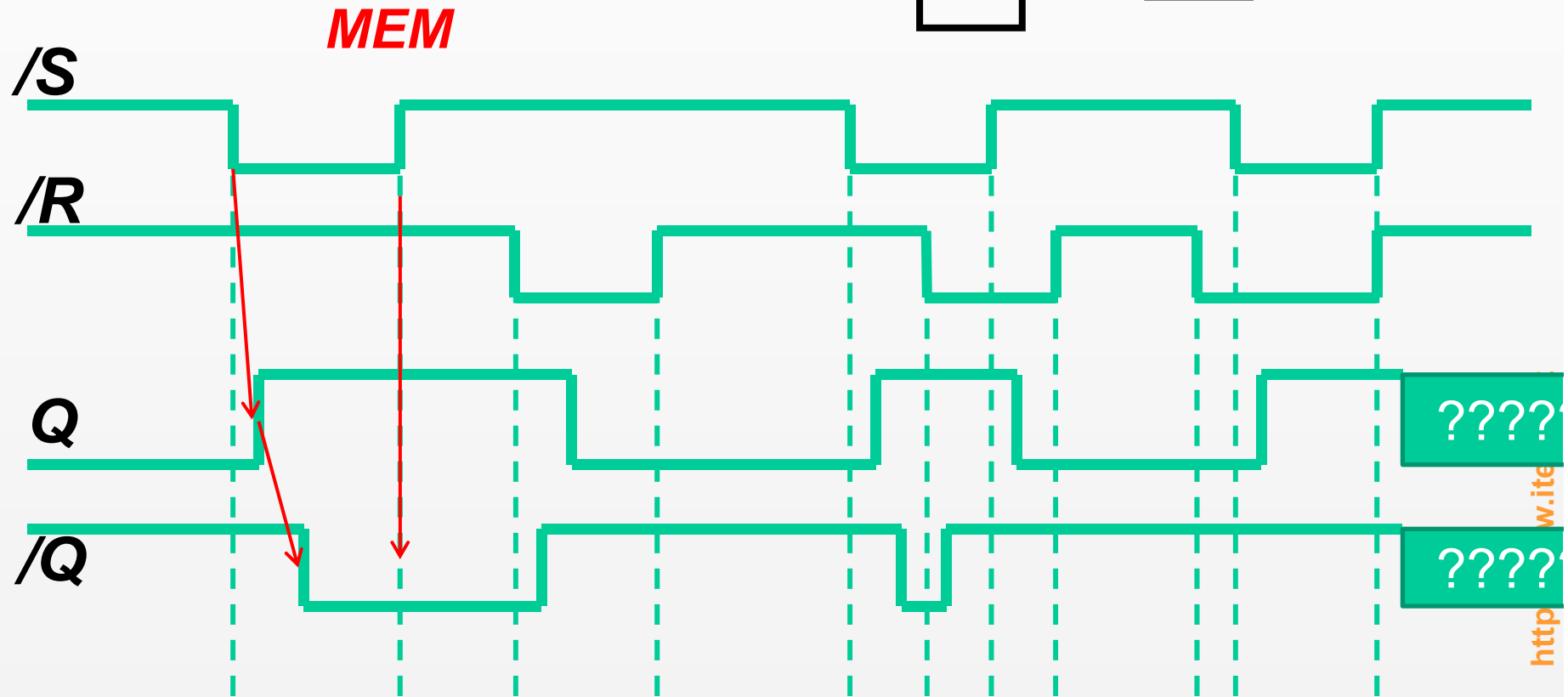
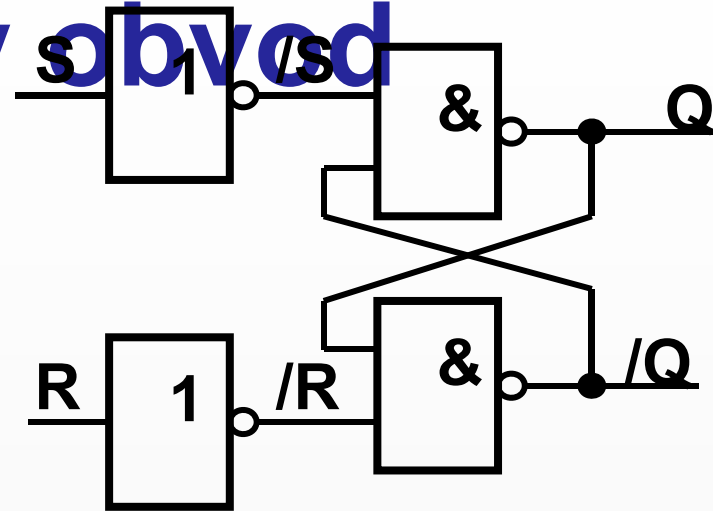


# R-S klopný obvod



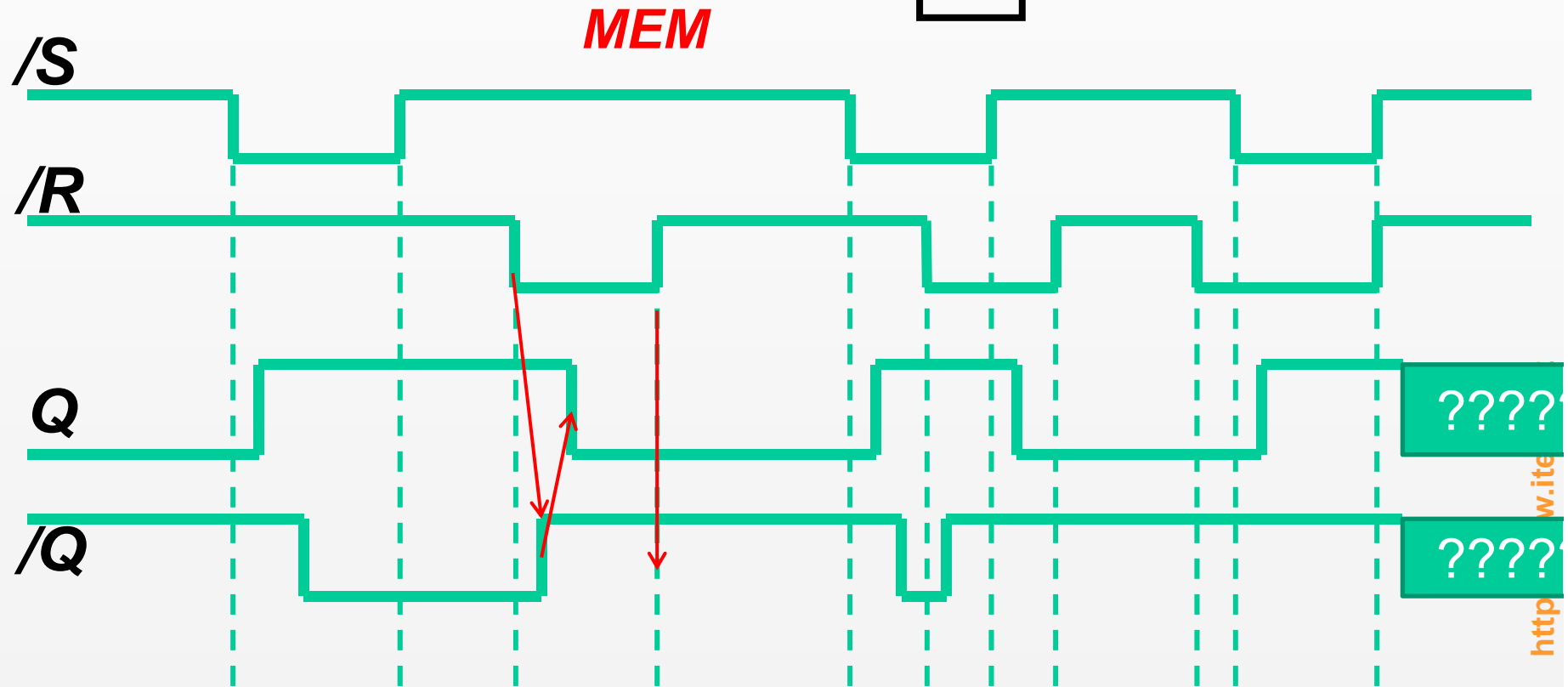
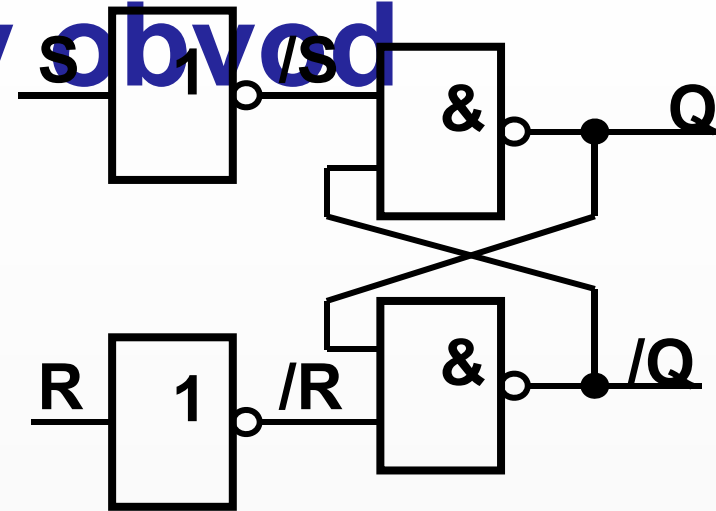


# R-S klopný obvod





# R-S klopný obvod

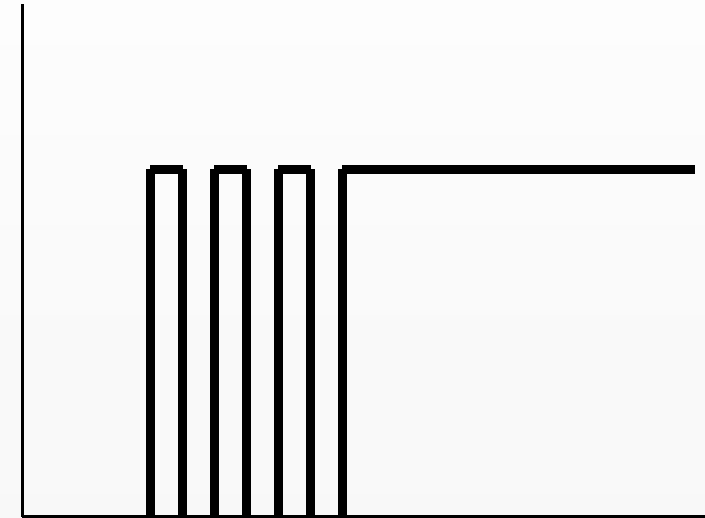
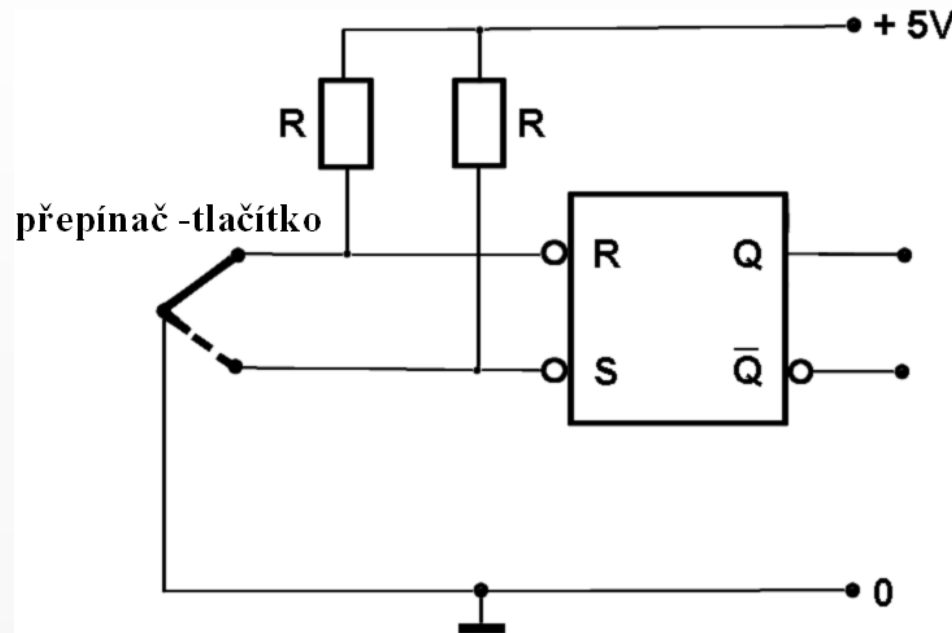


http://w.ite





# Použití RS obvodu



- Ošetření odskoku kontaktu tlačítka
- Asynchronní nastavování výstupu obvodů
- atd.

<http://www.ite.tul.cz>





# Rozdělení klopných obvodů



- **Monostabilní** - upravují zachycené impulsy na impulsy s předem stanovenou délkou
- **Astabilní** - slouží ke generování period. signálu
- **Bistabilní** - mají dva stabilní stavy

## Rozdělení bistabilních klopných obvodů:

- **Asynchronní** - Asynchronní obvody reagují na všechny změny vstupního signálu (jednodušší než synchronní)
- **Synchronní** - Synchronní obvody reagují na vstupní signály pouze v okamžicích, kdy je aktivní hodinový signál, povolující změnu stavu







# Vlastnosti Asynchronních obvodů

- **Reagují okamžitě** po změně vstupních proměnných → obtíže při návrhu sekvenčních obvodů (obvody připojené na vstupu klopného obvodu mohou vlivem hazardů způsobit nechtěné překlopení obvodu).
- Při návrhu asynchronních obvodů je tedy třeba důsledně **hazardy odstranit a zajistit stabilitu** jednotlivých stavů.





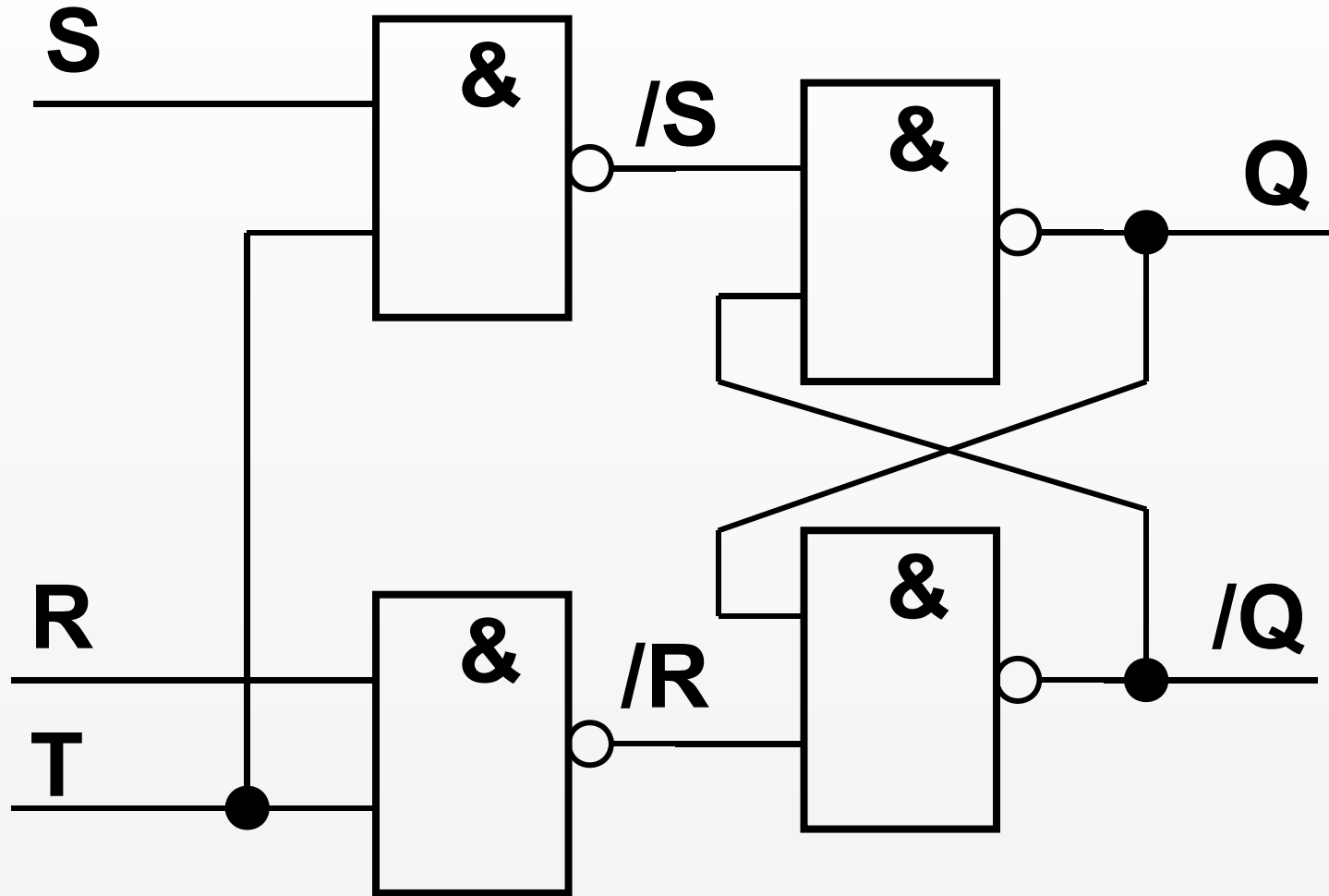
# Vlastnosti Asynchronních obvodů

- Takovýto způsob návrhu je obtížný, pro složitější obvody je prakticky neřešitelný a proto se více než asynchronních obvodů v praxi využívá obvodů **synchronních**, které reagují na vstupní signály pouze v těch okamžicích, kdy jsou všechny logické hodnoty na vstupu ustáleny.



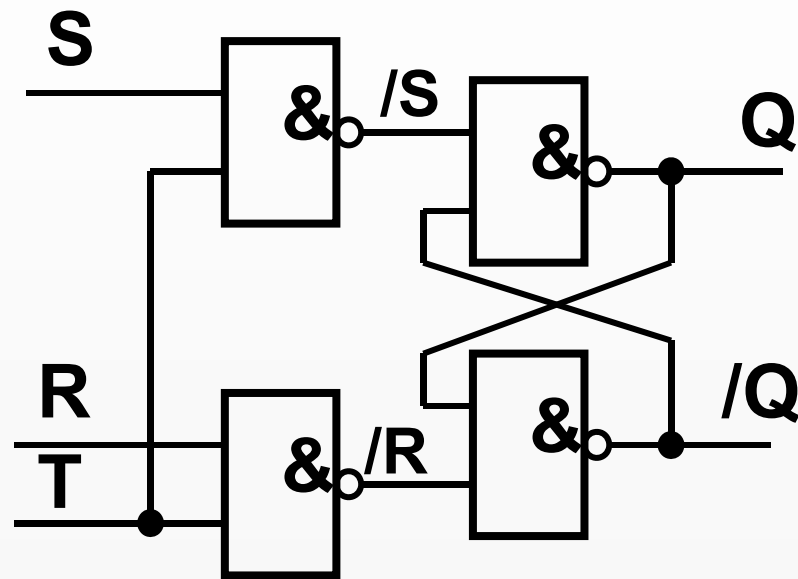


# Synchronní RS klopný obvod





# Synchronní obvody



Synchronní obvody mají navíc další synchronizační vstup, který umožňuje znecitlivět ostatní vstupy až do doby, kdy jsou zajištěny podmínky pro správnou funkci obvodu (bezhazardnost).

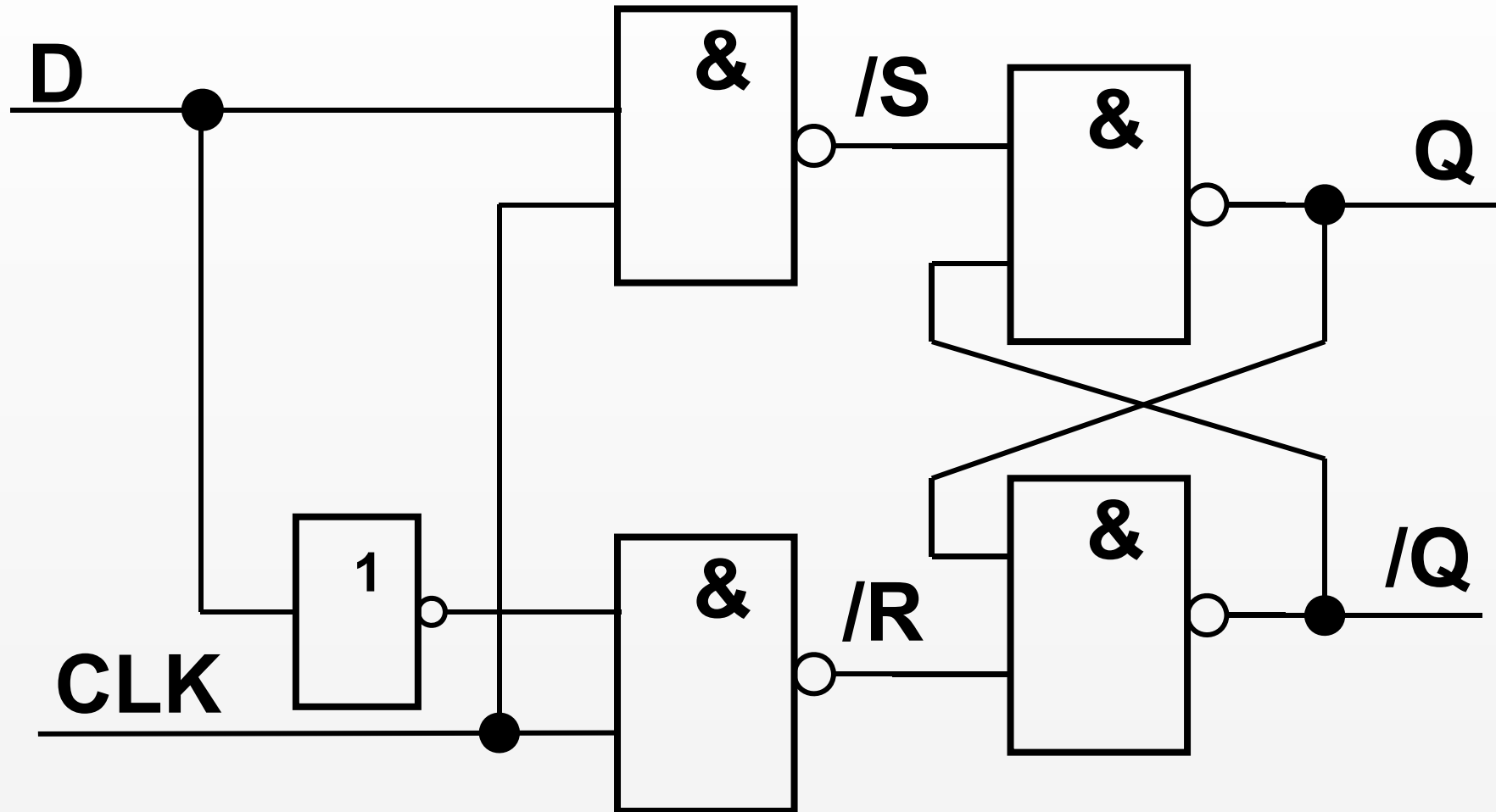
Tento vstup bývá označen zpravidla zkratkou T, C nebo CLK - hodinový vstup.

Hodinové vstupy bývají buzeny zpravidla periodickým signálem, tvořeným krátkými impulsy a nazývaným hodinový signál.





# D-klopný obvod – hladinový

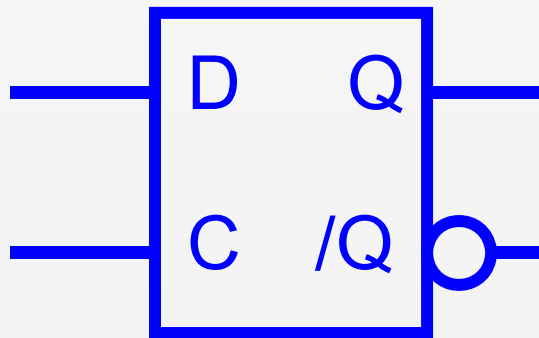
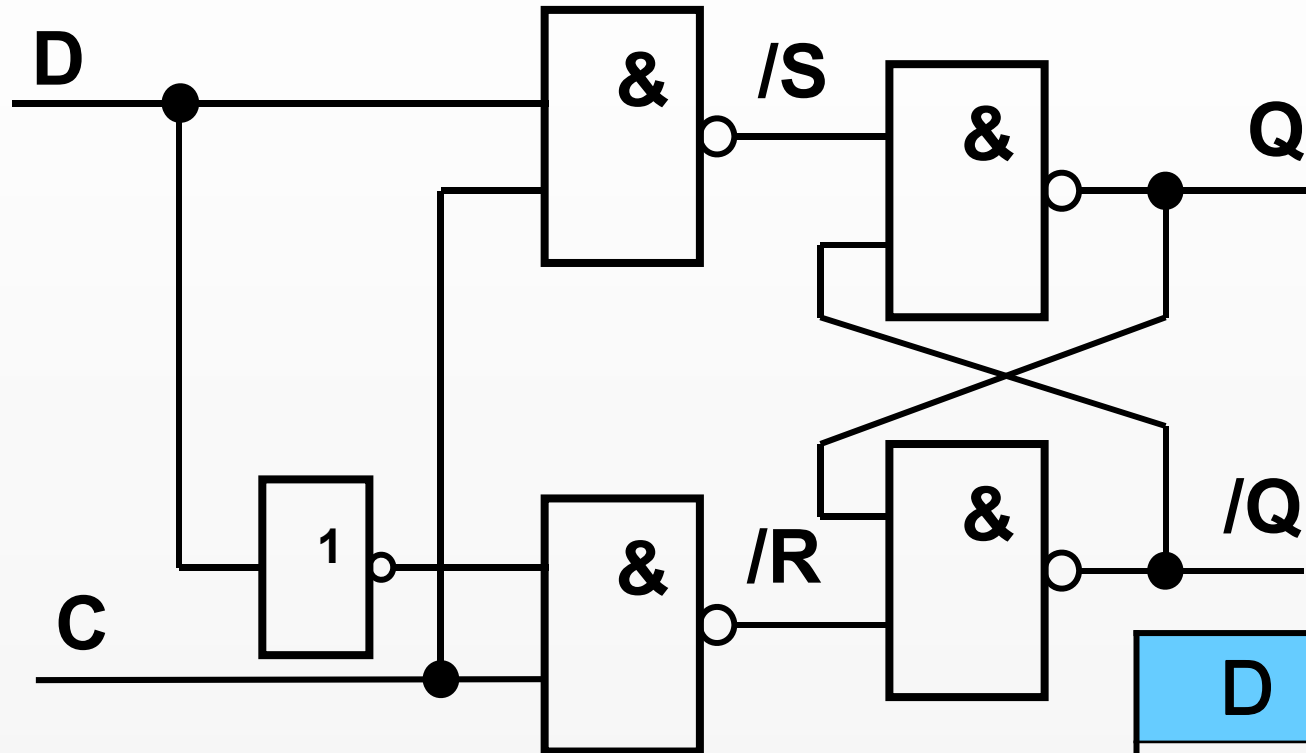


<http://www.ite.tul.cz>





# D-klopný obvod – hladinový



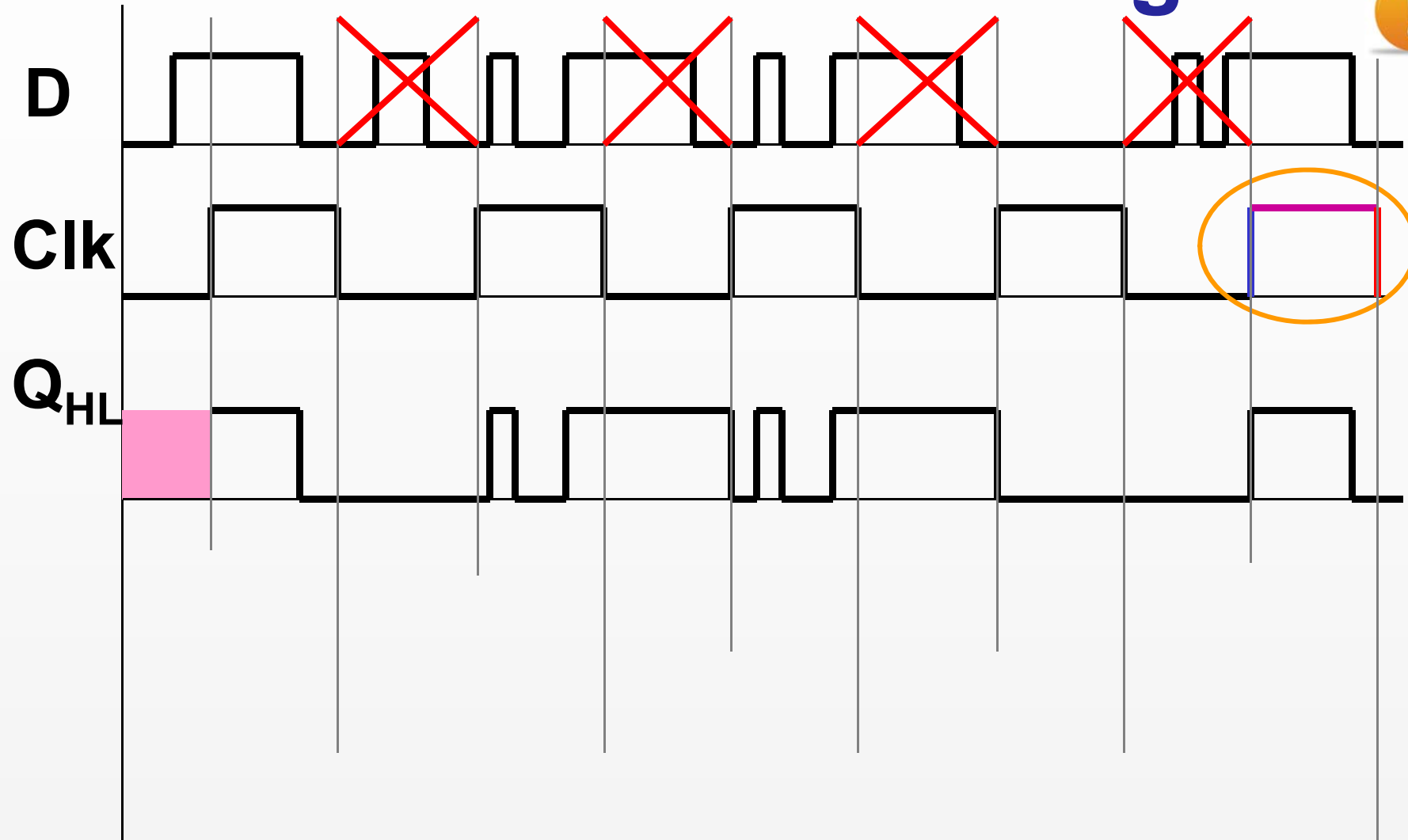
D	C	$Q_t$
0	0	$Q_{t-1}$
1	0	$Q_{t-1}$
0	1	0
1	1	1

<http://www.ite.tul.cz>





# Reakce D-KO na hod. signál

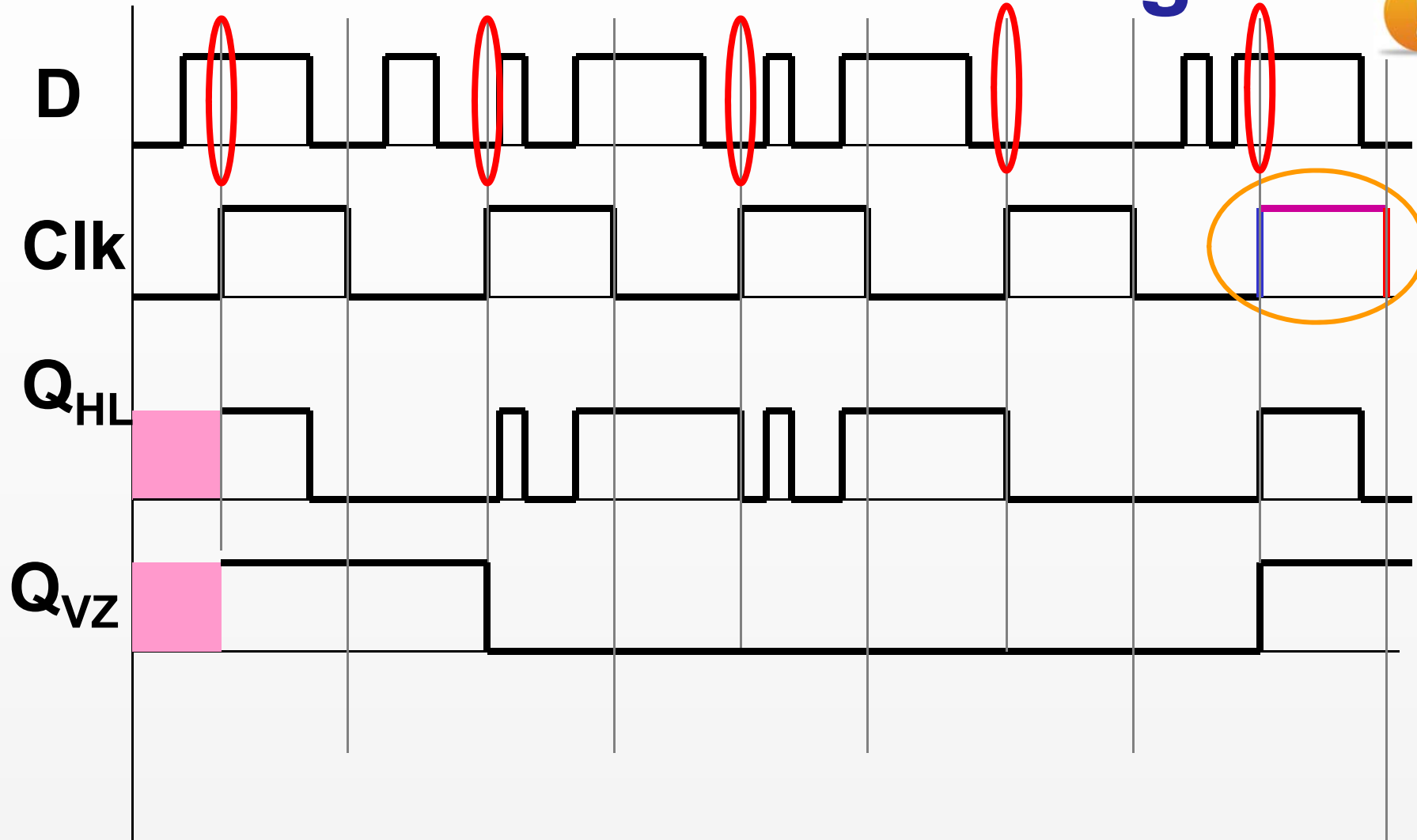


**Q<sub>HL</sub>**-hladinový





# Reakce D-KO na hod. signál



$Q_{HL}$ -hladinový

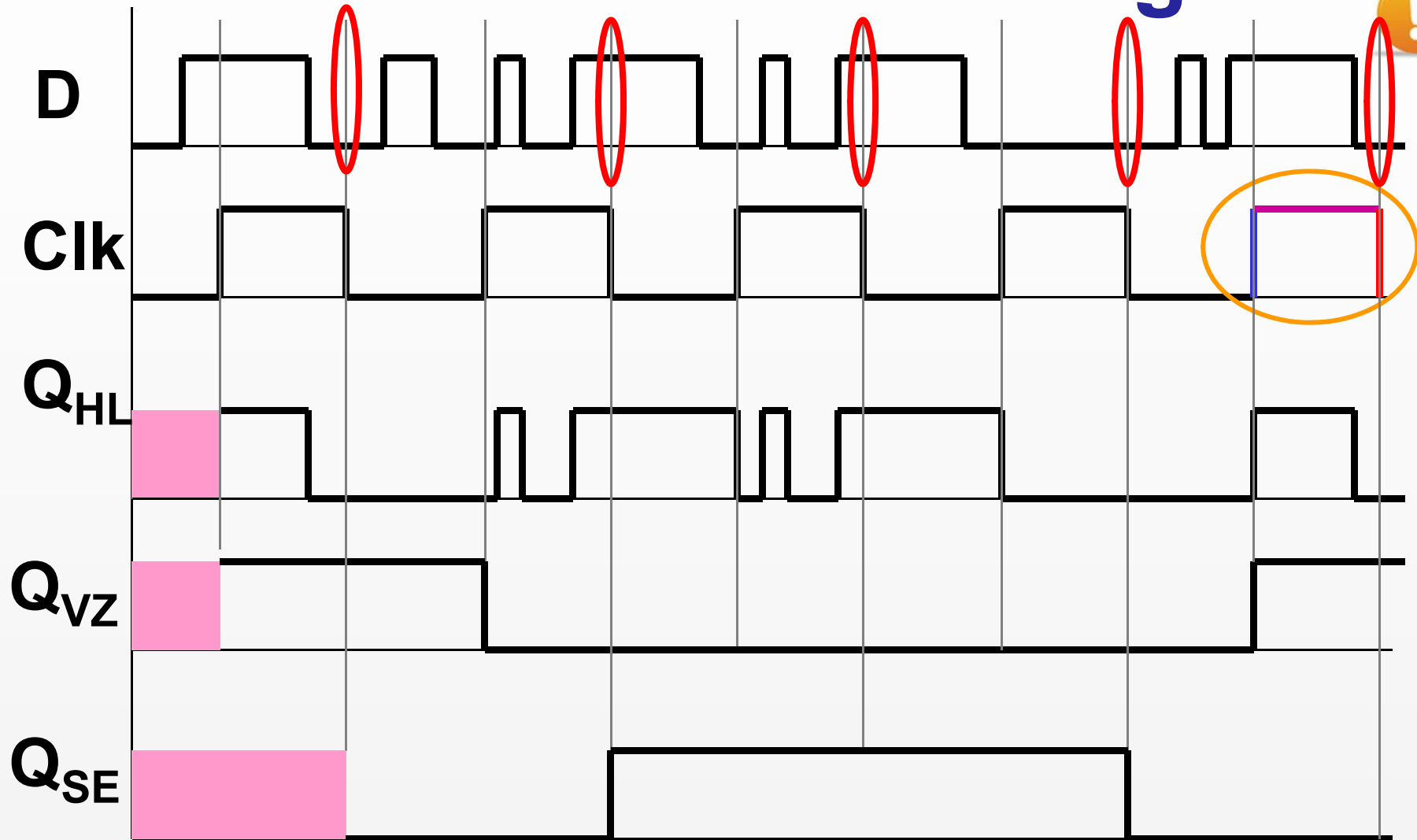
$Q_{VZ}$ -vzestupná







# Reakce D-KO na hod. signál



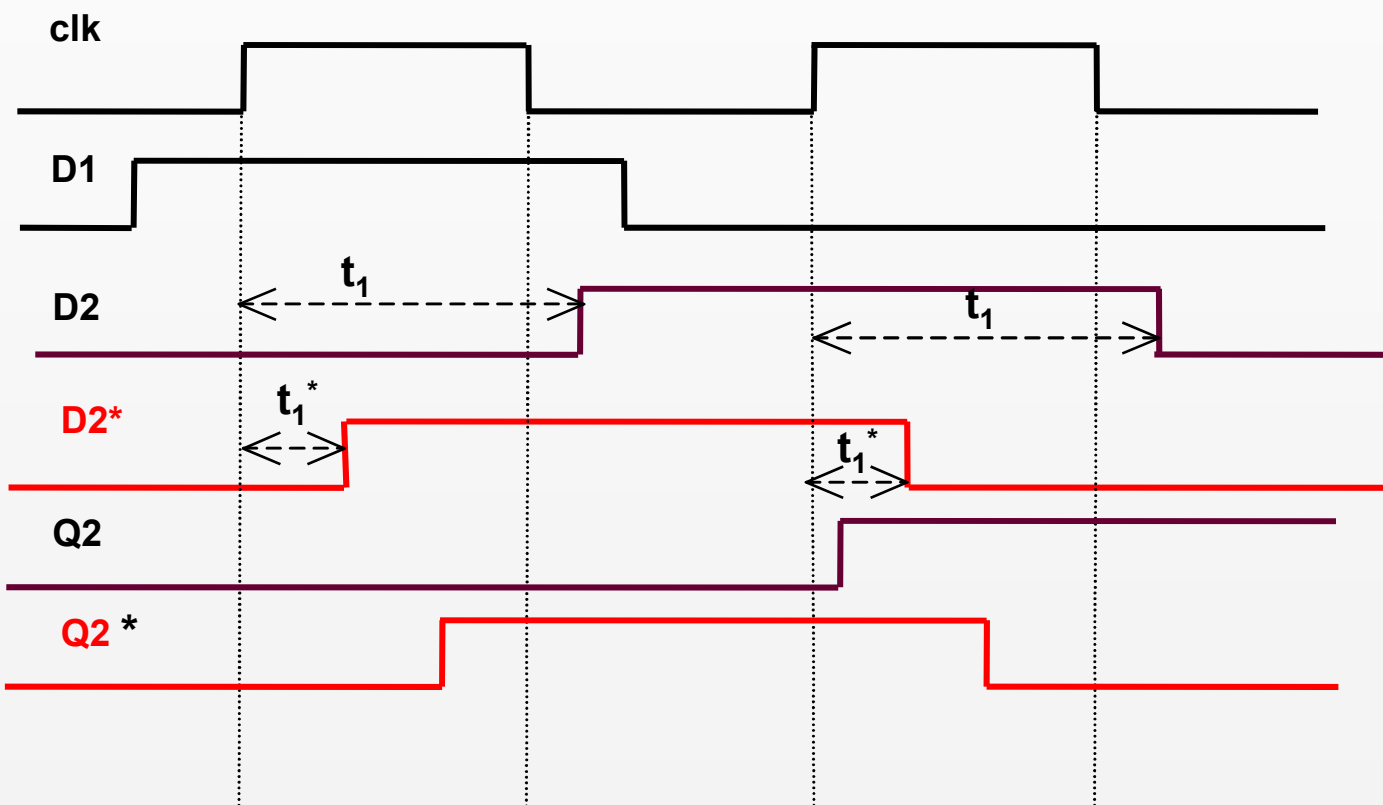
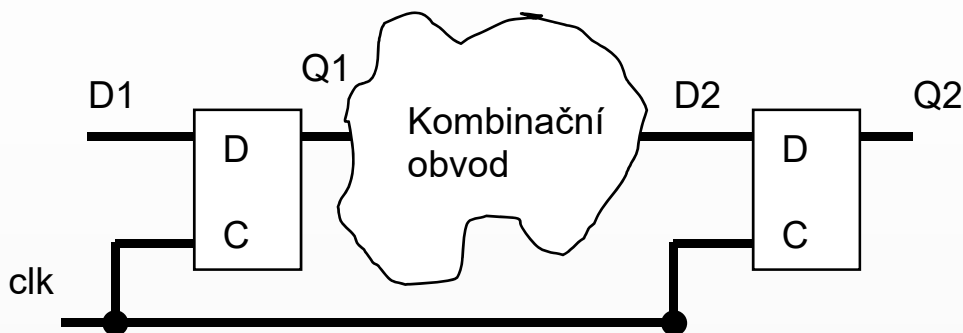
$Q_{HL}$ -hladinový

$Q_{VZ}$ -vzestupná

$Q_{SE}$ -sestupná



# Hazard v sekvenčních obvodech

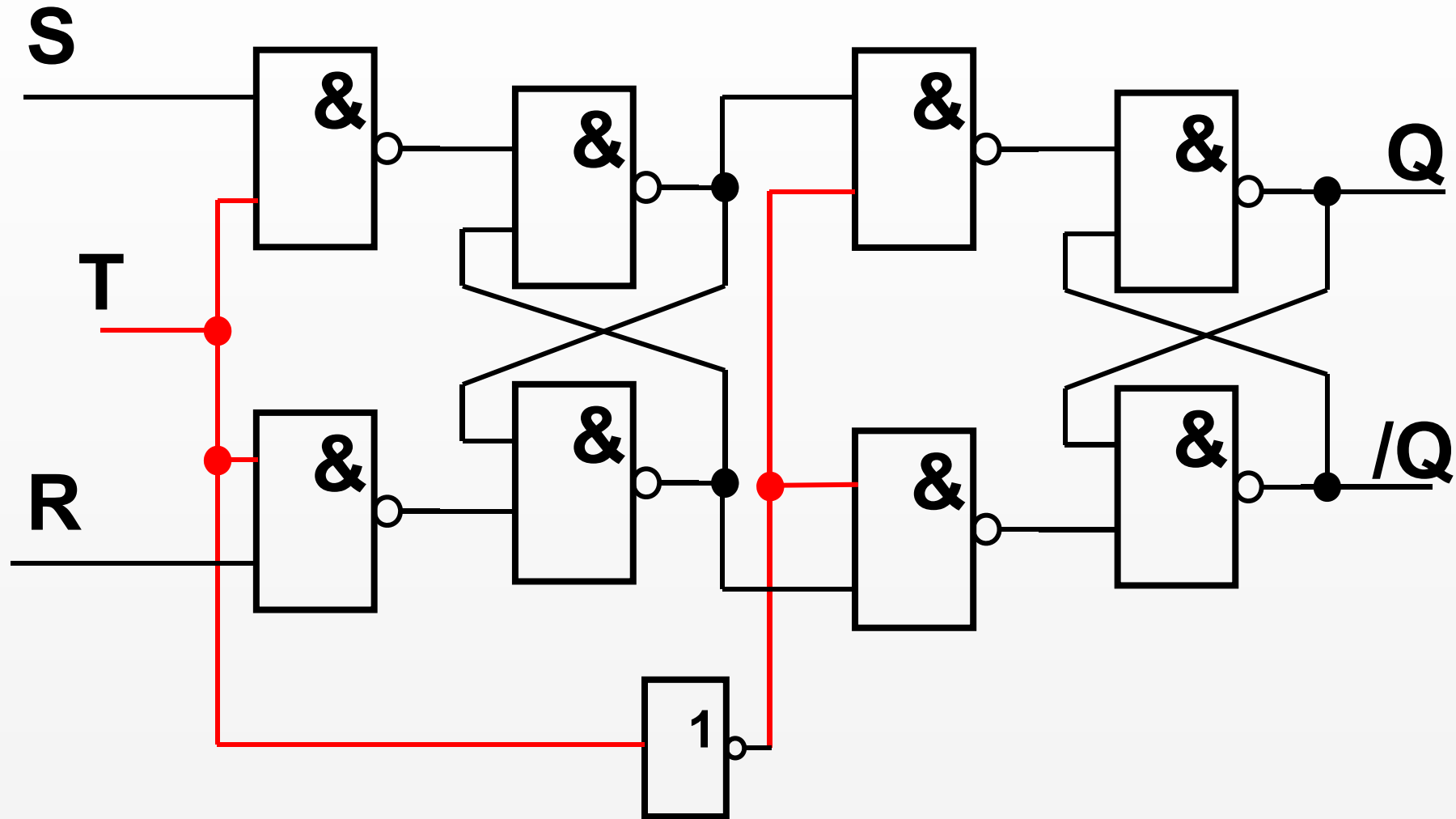


<http://www.ite.tul.cz>





# Master-Slave RS-KO (ideové schéma)







# JK-klopný obvod

	Vstupy					Výstupy		Poznámky
	S	R	C	J	K	Q <sup>+</sup>	Q̄ <sup>+</sup>	
Asynchr.	0	1	x	x	x	1	0	nastavení do 1
	1	0	x	x	x	0	1	nastavení do 0
	0	0	x	x	x	1*	1*	nestabilní stav
Synchr.	1	1		0	0	Q <sup>-</sup>	Q̄ <sup>-</sup>	beze změny
	1	1		1	0	1	0	nastavení do 1
	1	1		0	1	0	1	nastavení do 0
	1	1		1	1	Q̄ <sup>-</sup>	Q <sup>-</sup>	změna stavu
	1	1	0	x	x	Q	Q̄	beze změny

\* Nestabilní stavy (obdobně jako u dvoustupňového klopného obvodu RS)



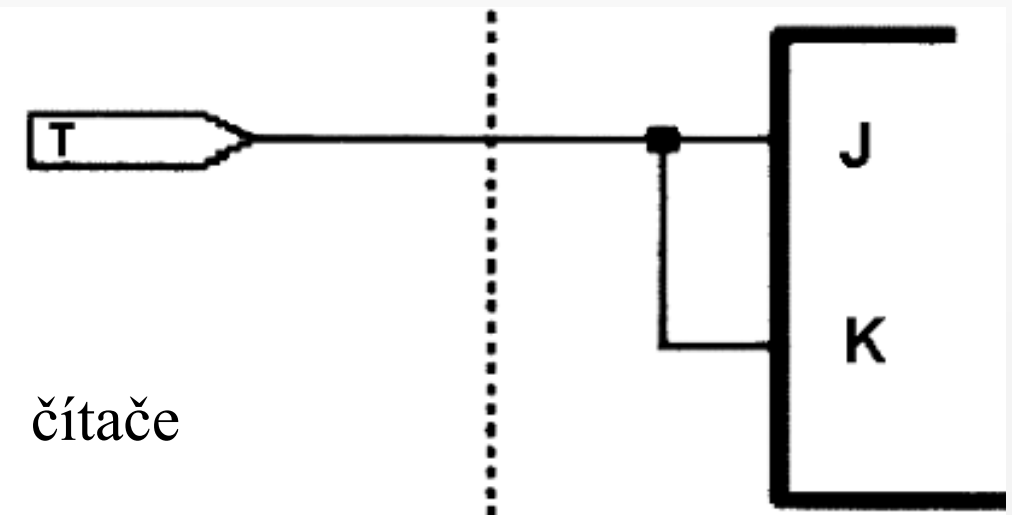
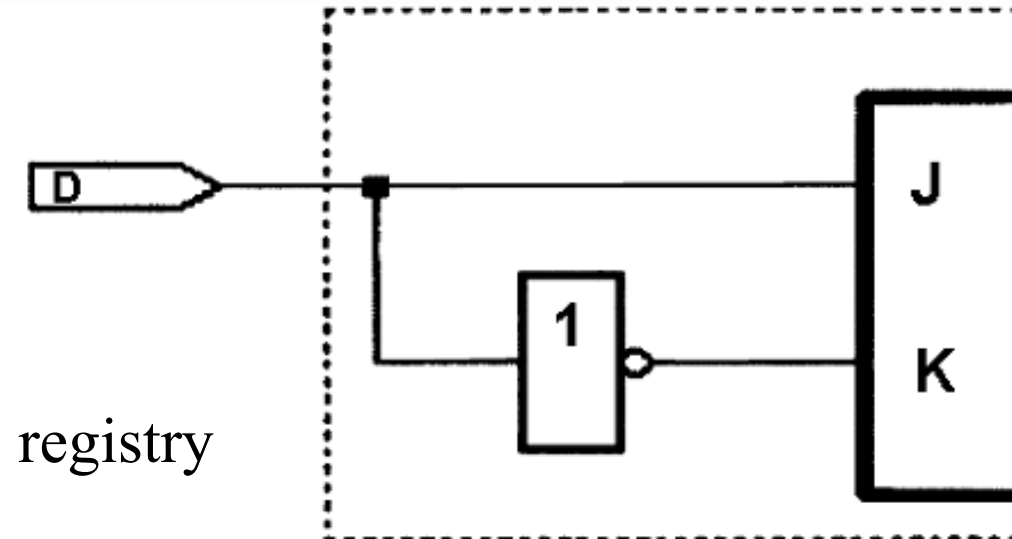


# Úpravy JK-KO



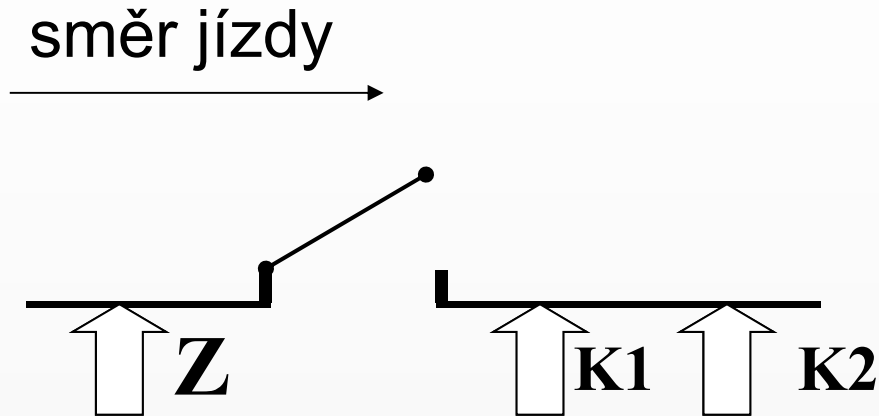
Realizace **D-KO** a  
**T-KO**  
pomocí **JK-KO**

J	K	Q
0	0	$Q_{n-1}$
0	1	<b>0</b>
1	0	<b>1</b>
1	1	$/Q_{n-1}$





# Příklad sekvenční úlohy



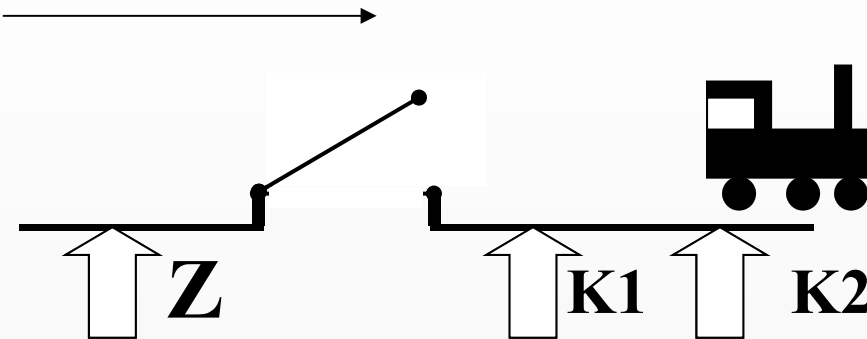
Přejede-li lokomotiva bod Z, závory se spustí, je-li poslední vagón za bodem K1, závory se zvednou. Sestavte obvod, který ovládá signál pro spuštění závor.





# Příklad sekvenční úlohy

směr jízdy



Přejede-li lokomotiva bod Z, závory se spustí, je-li poslední vagón za bodem K1, závory se zvednou. Sestavte obvod, který ovládá signál pro spuštění závor.

Z	K1	K2	Q <sub>t</sub>	Q <sub>t+1</sub>	Funkce RS
0	0	0	0	0	Pamatování
0	0	0	1	1	Pamatování
0	0	1	X	0	Nulování
0	1	X	X	1	Nastavení
1	X	X	X	1	Nastavení





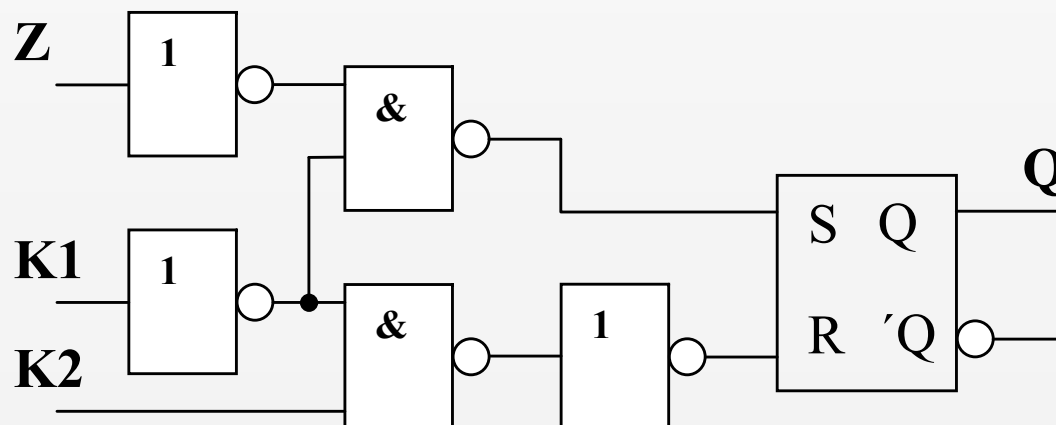


# Příklad – pokr.

**vstup S** (Spuštění závor) - log. 1 v případě, že Z nebo K1 jsou rovny 1. ( $S = Z + K1 \dots$ ).

**vstup R** (Zvednutí závor) - log. 1 v případě, že platí současně, že  $K1 = 0$  a  $K2 = 1$ .

Případ, kdy současně oba vstupy S i R jsou rovny jedné nemůže nastat. Jestliže jsou všechny vstupní signály nulové, na S i R vstupy přivádíme 0. Při této hodnotě vstupů setrvávají závory v poloze dané předchozím nastavením



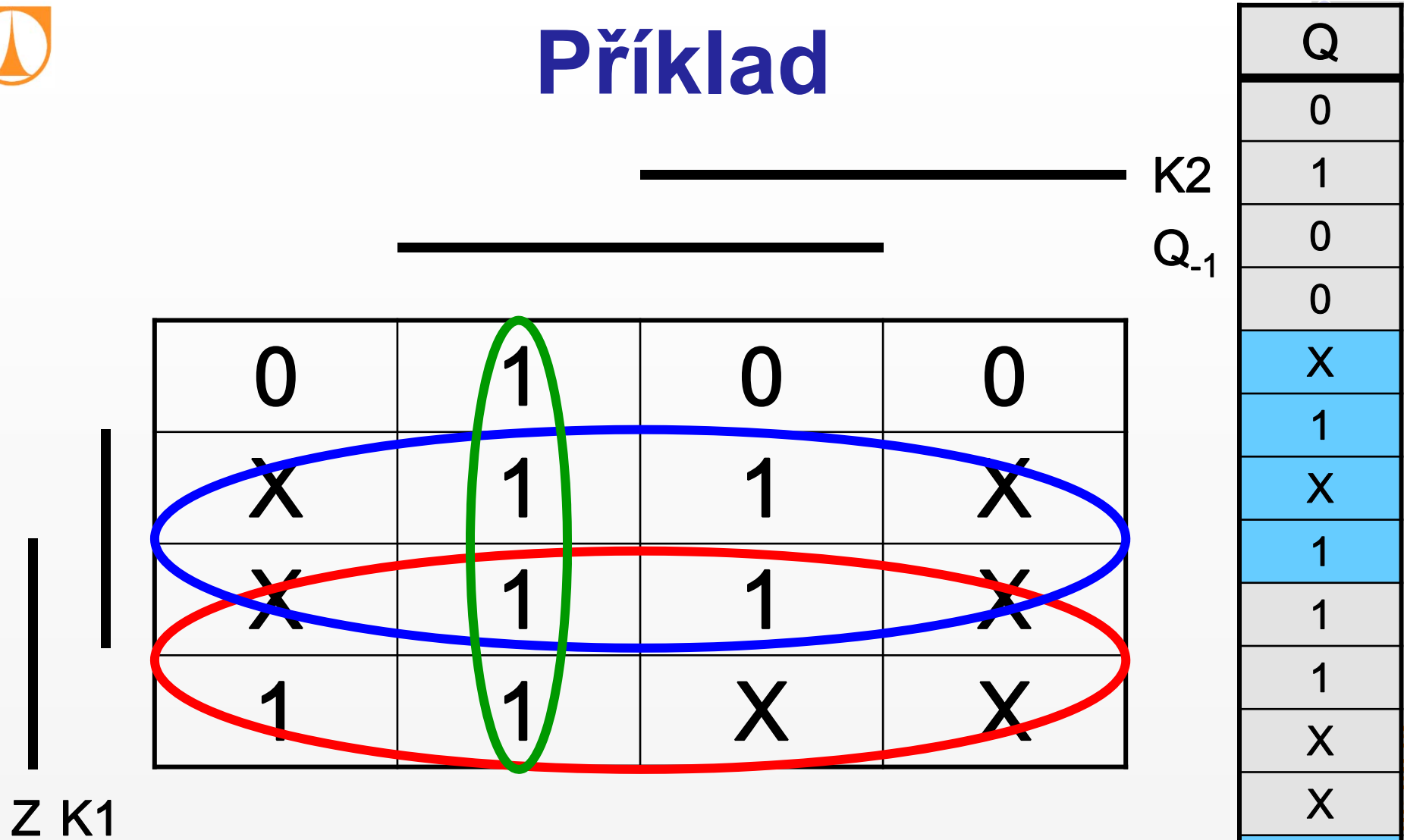


## Metoda TF

Z	K1	K2	Q <sub>-1</sub>	Q	Error
0	0	0	0	0	
0	0	0	1	1	
0	0	1	0	0	
0	0	1	1	0	
0	1	0	0	X	1
0	1	0	1	1	
0	1	1	0	X	1
0	1	1	1	1	
1	0	0	0	1	
1	0	0	1	1	
1	0	1	0	X	1
1	0	1	1	X	1
1	1	0	0	X	
1	1	0	1	1	
1	1	1	0	X	1
14. 2020	1	1	1	1	



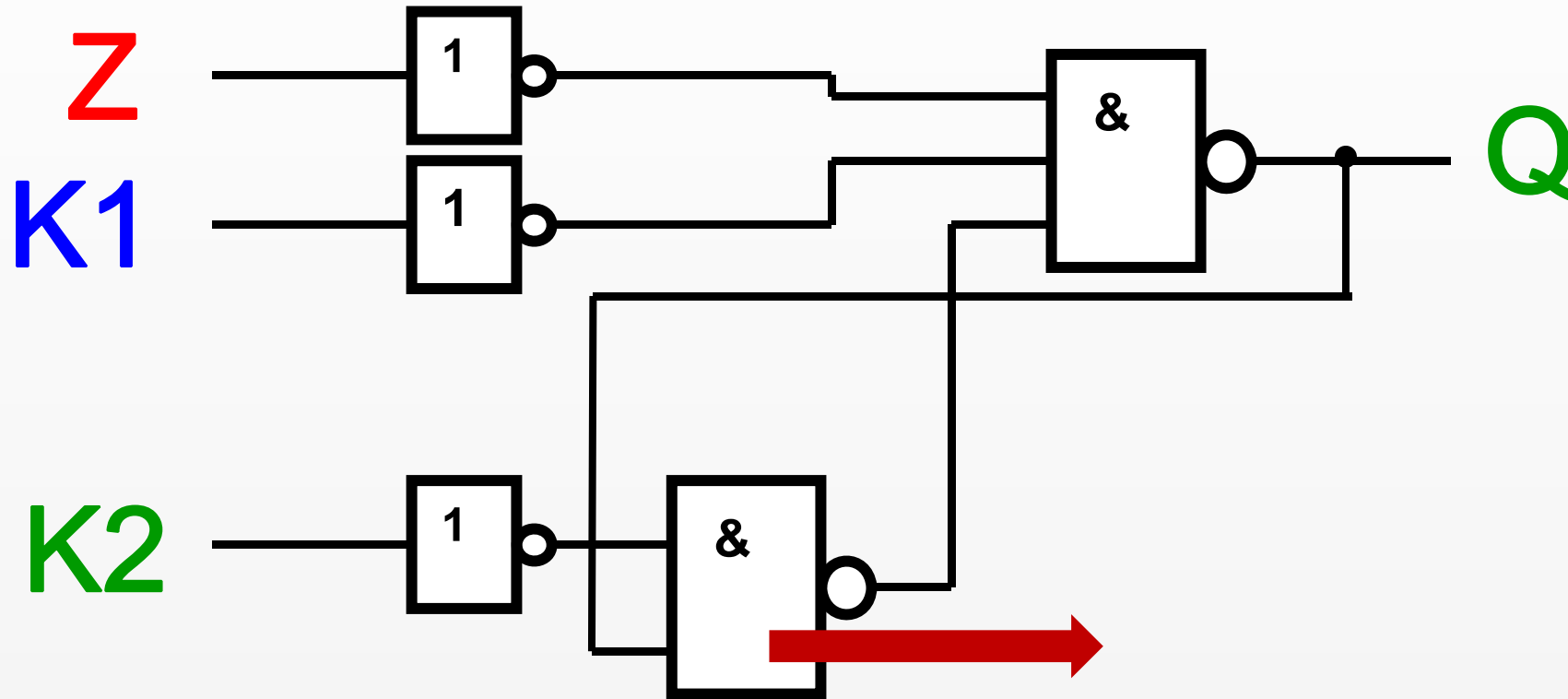
# Příklad



$$Q = Z + K1 + /K2 \cdot Q_{-1}$$



# Příklad



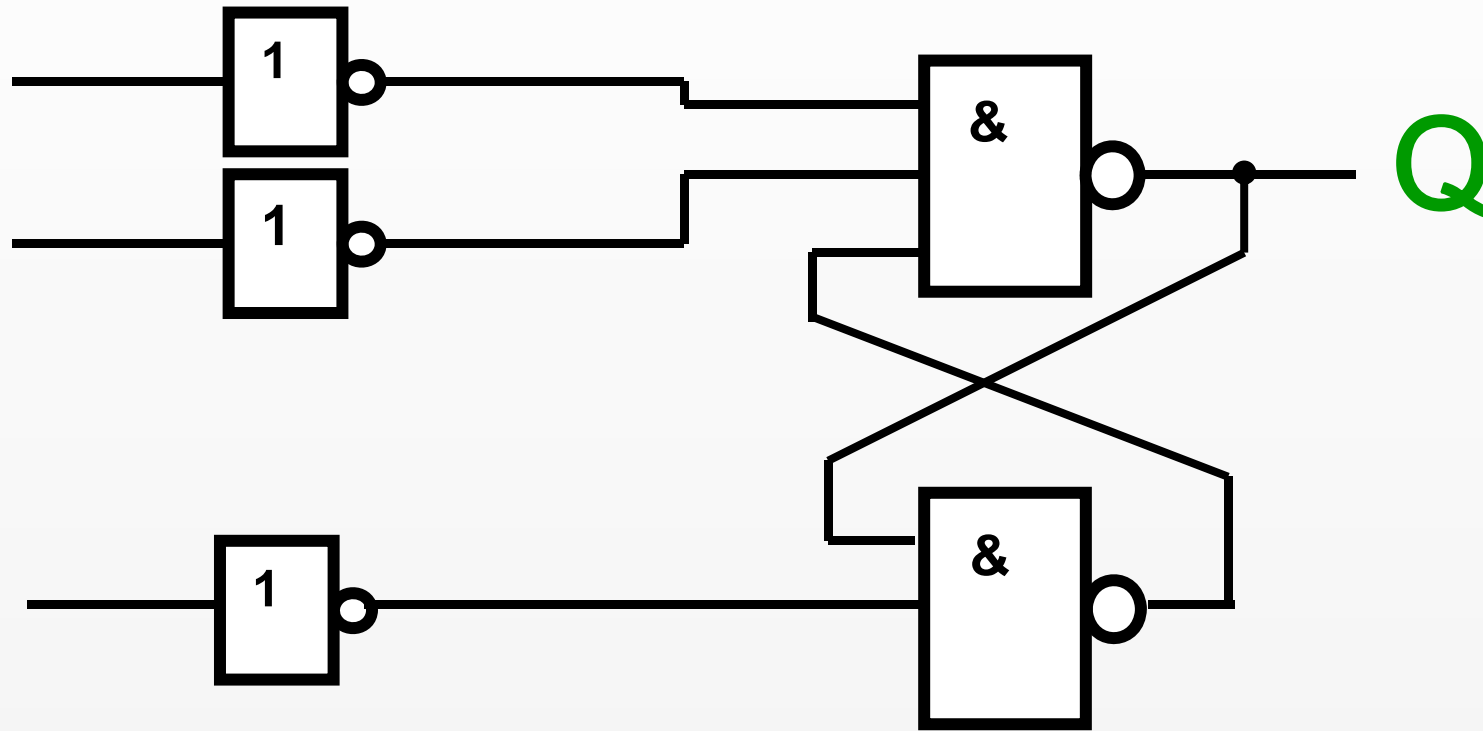
$$Q = Z + K1 + \neg K2 \cdot Q_{-1}$$





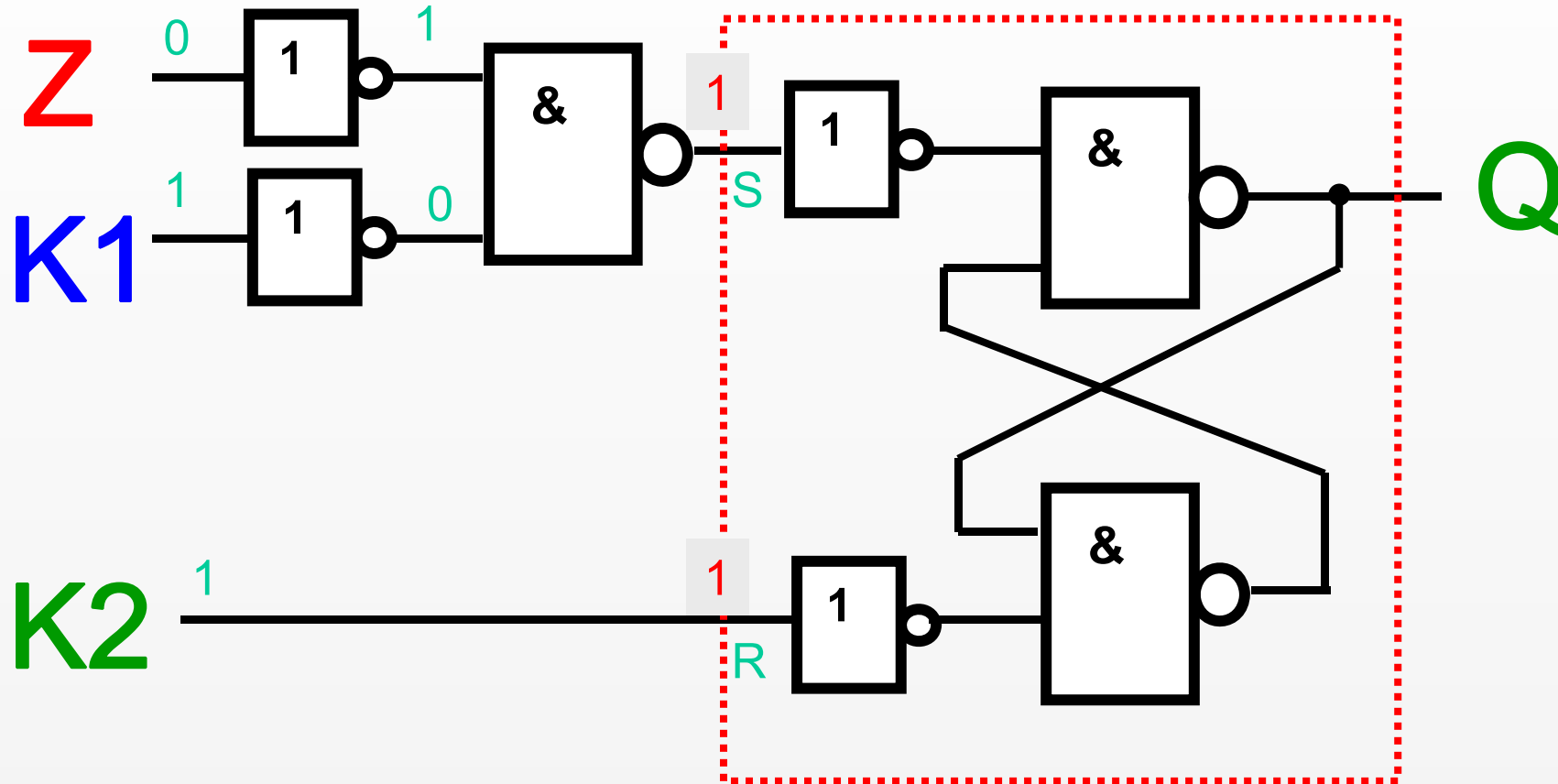
# Příklad

Z  
K1



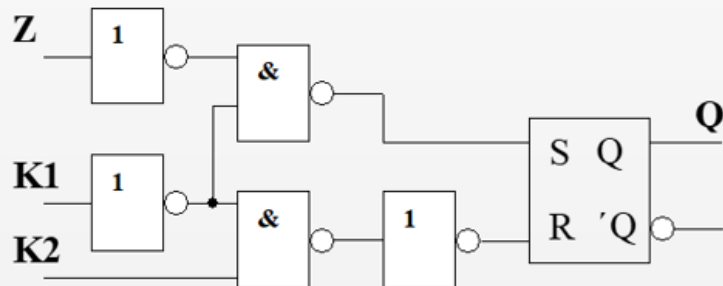
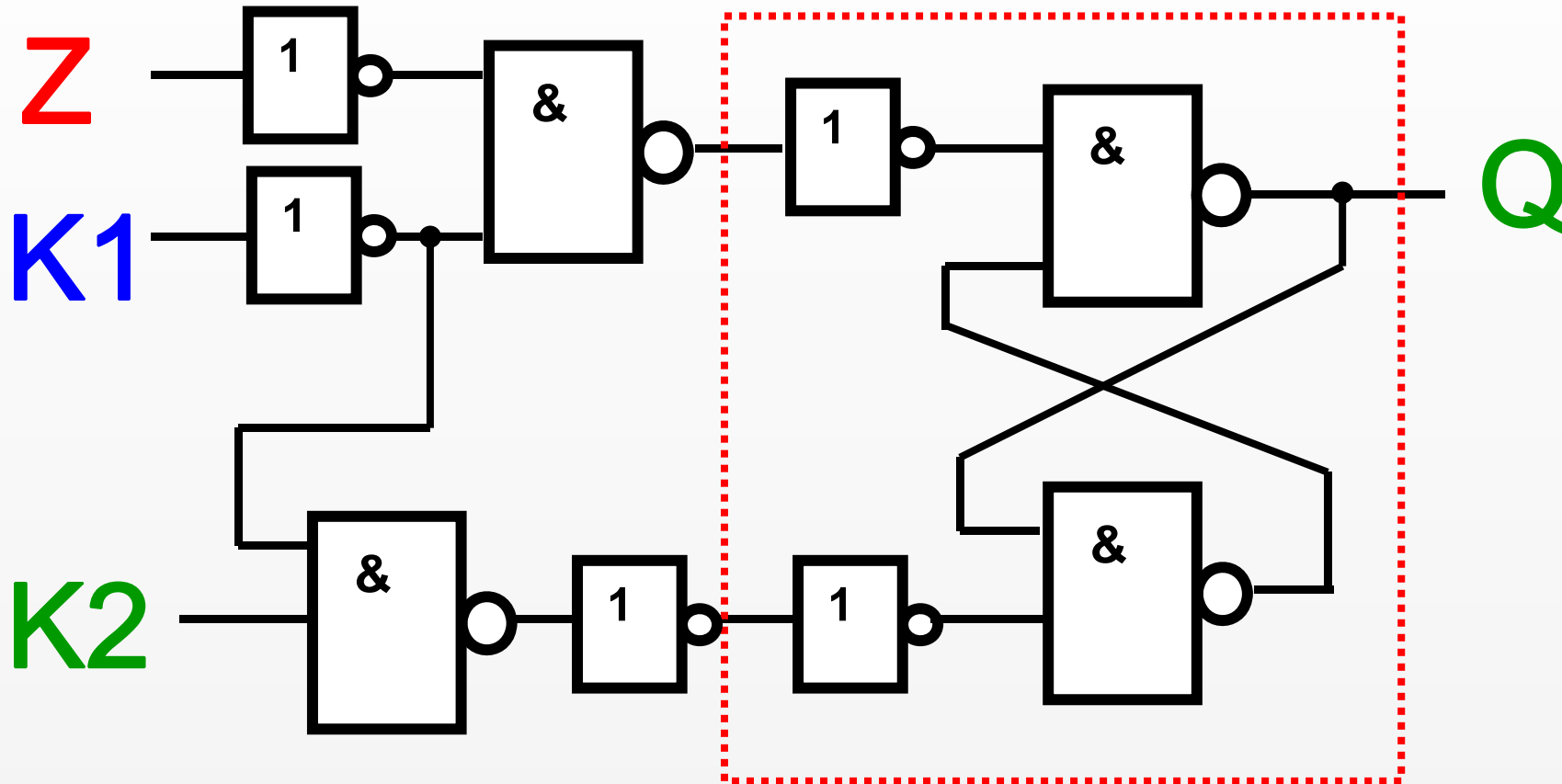


# Příklad



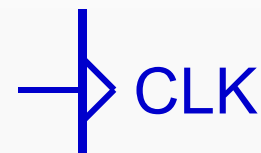
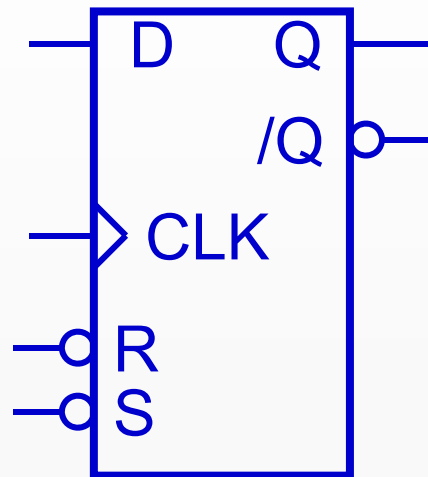


# Příklad

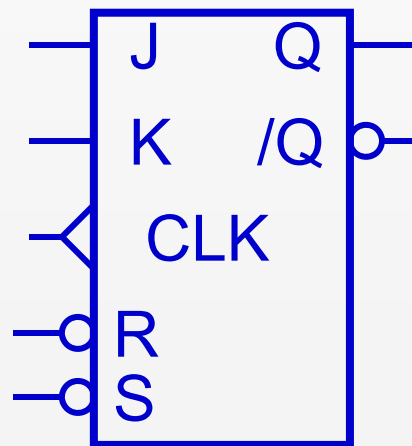




# Integrované obvody



Vzestupná  
Náběžná



Sestupná  
Závěrná

<http://www.ite.tul.cz>



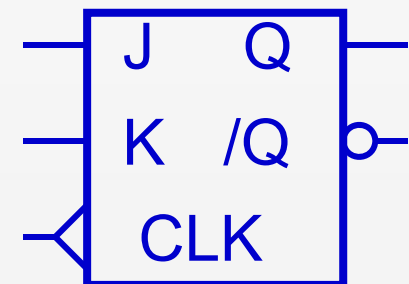
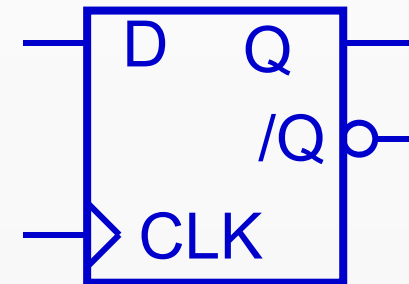




# Čítače (asynchronní)



0	0	0	0
1.	0	0	1
2.	0	1	0
3.	0	1	1
4.	1	0	0
5.	1	0	1
6.	1	1	0
7.	1	1	1
atd.	Q3	Q2	Q1

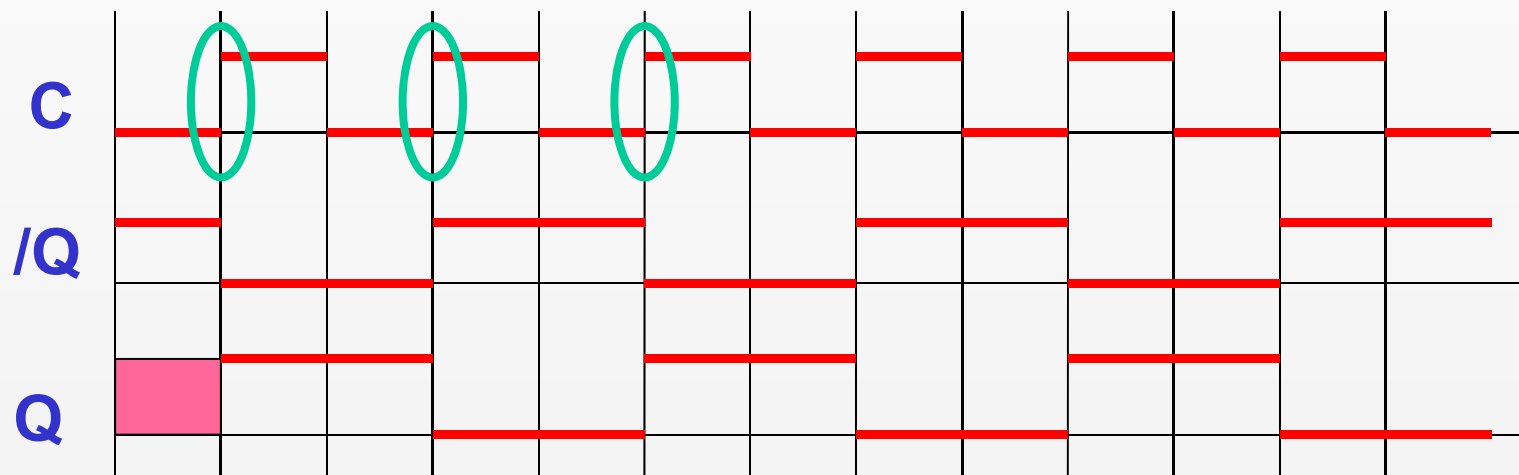
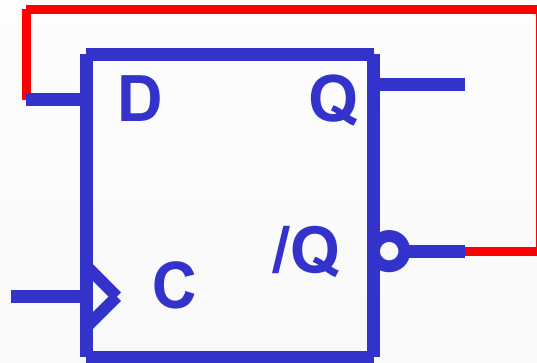


<http://www.ite.tul.cz>





# Čítače (asynchronní)



<http://www.ite.tul.cz>

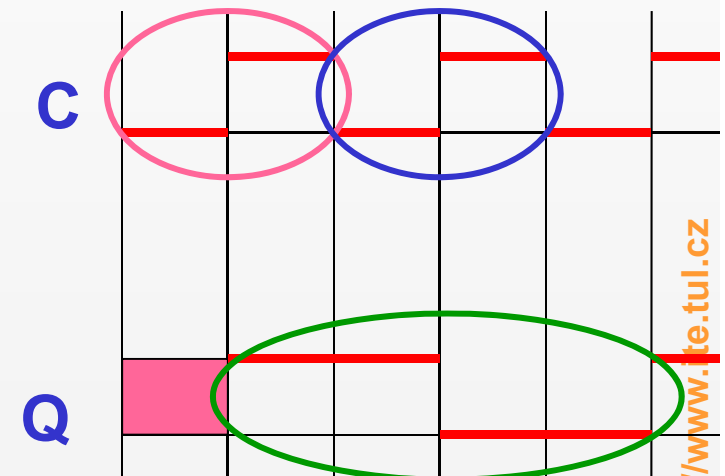




# Čítače (asynchronní)



0	0	0	0
1.	0	0	1
2.	0	1	0
3.	0	1	1
4.	1	0	0
5.	1	0	1
6.	1	1	0
7.	1	1	1
atd.	Q3	Q2	Q1

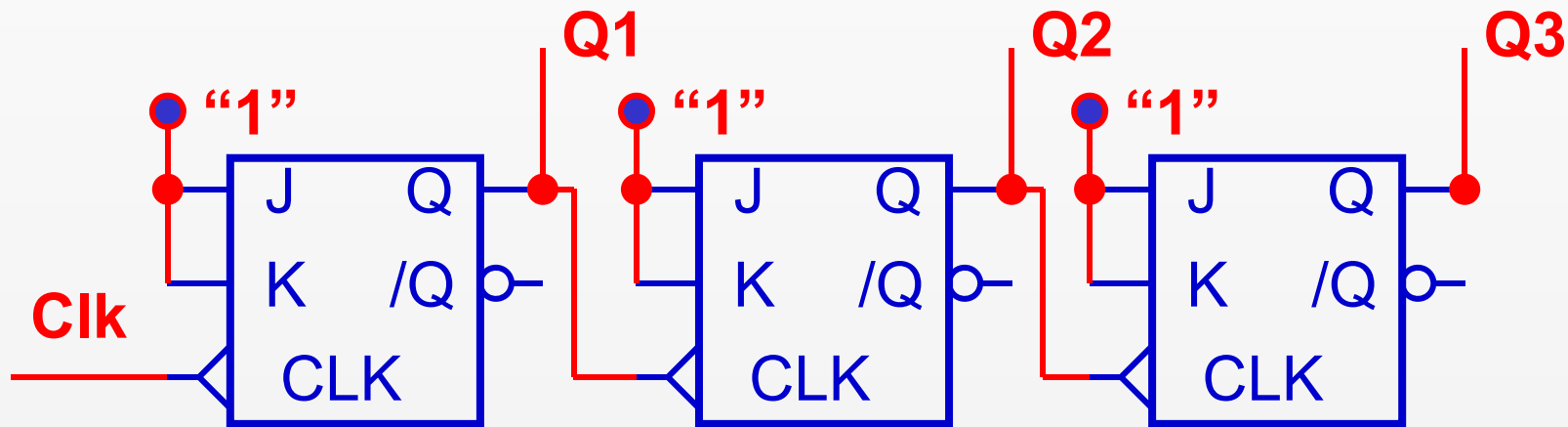
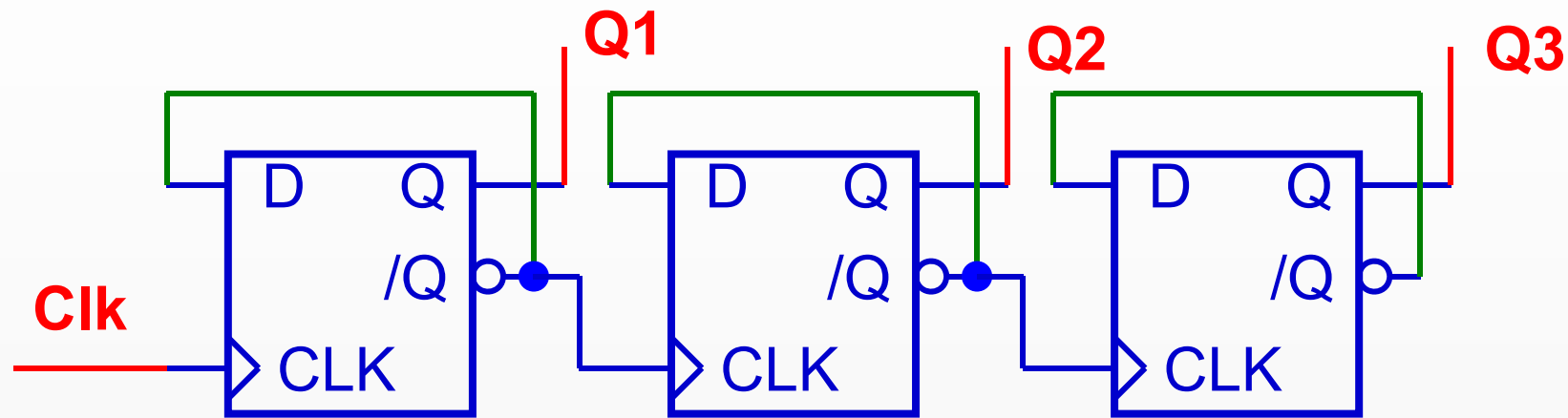


<http://www.ite.tul.cz>





# Asynchronní čítače



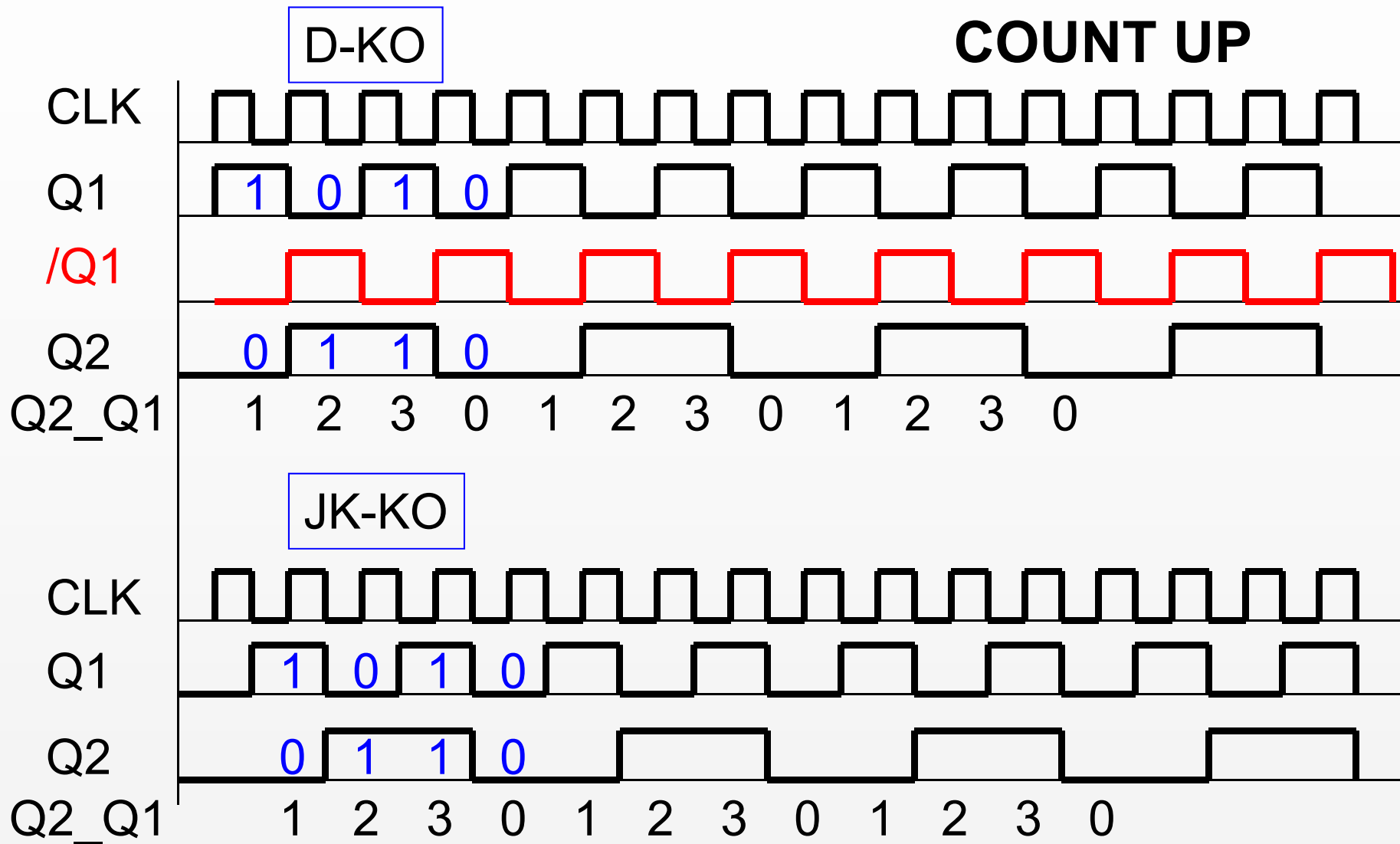
COUNT UP

<http://www.ite.tul.cz>



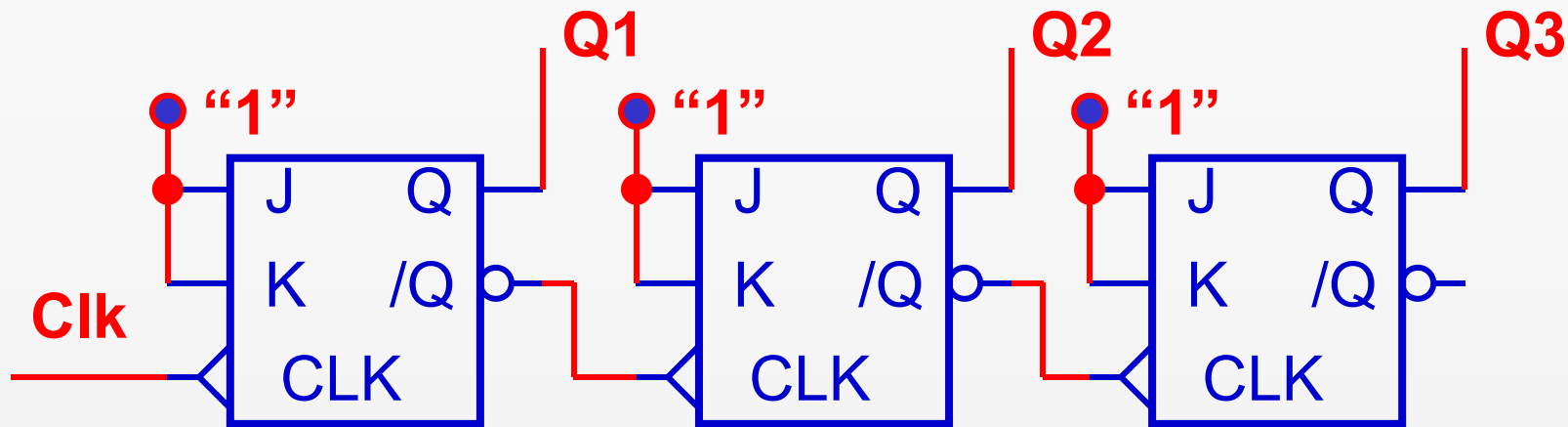
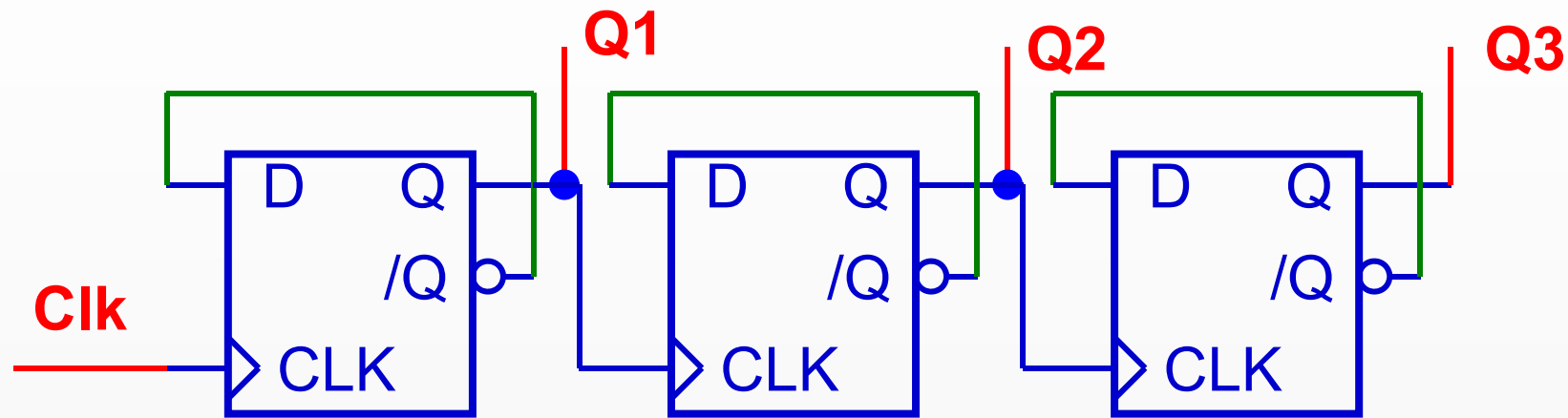


# Asynchronní čítače





# Asynchronní čítače

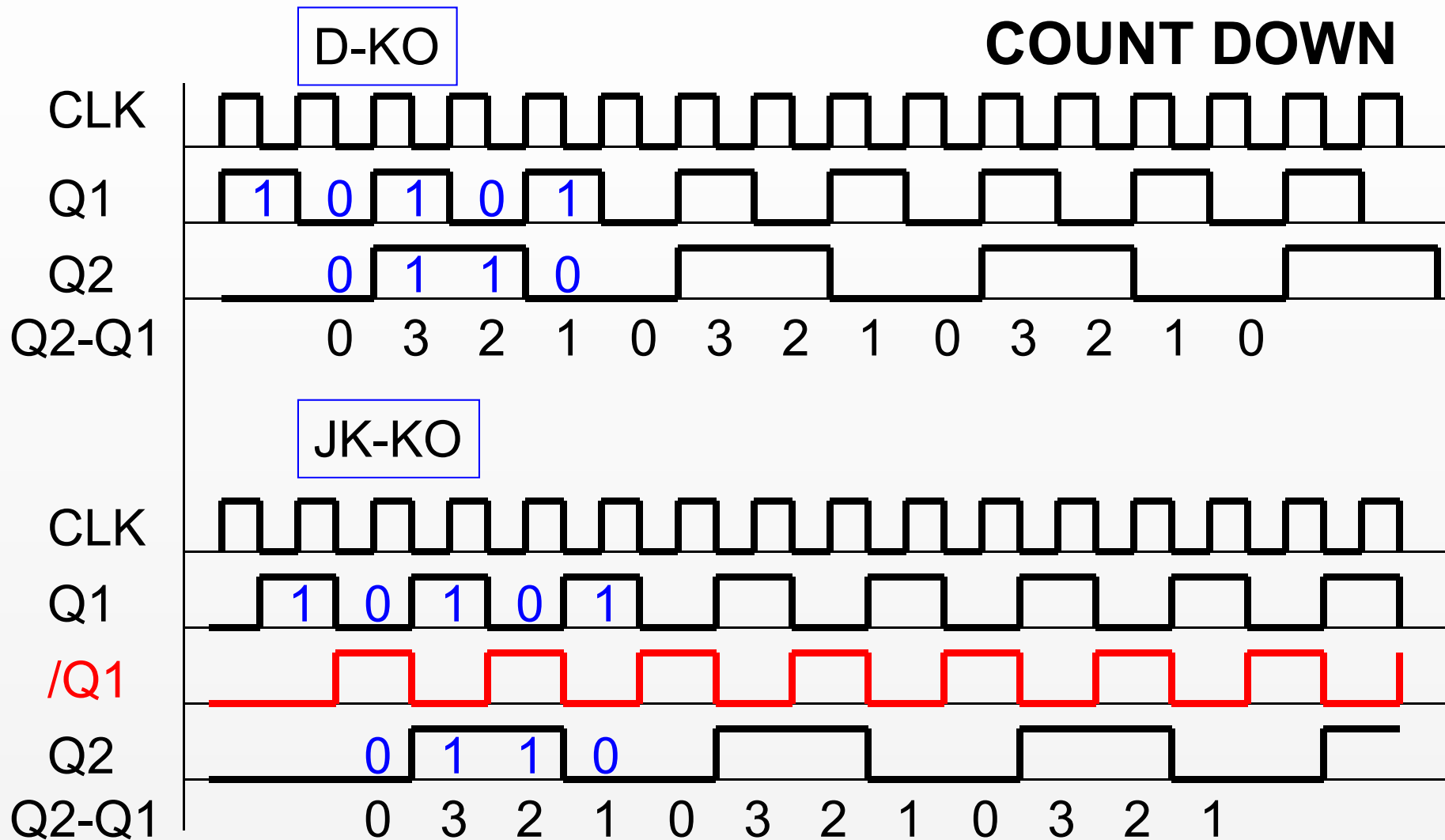


COUNT DOWN



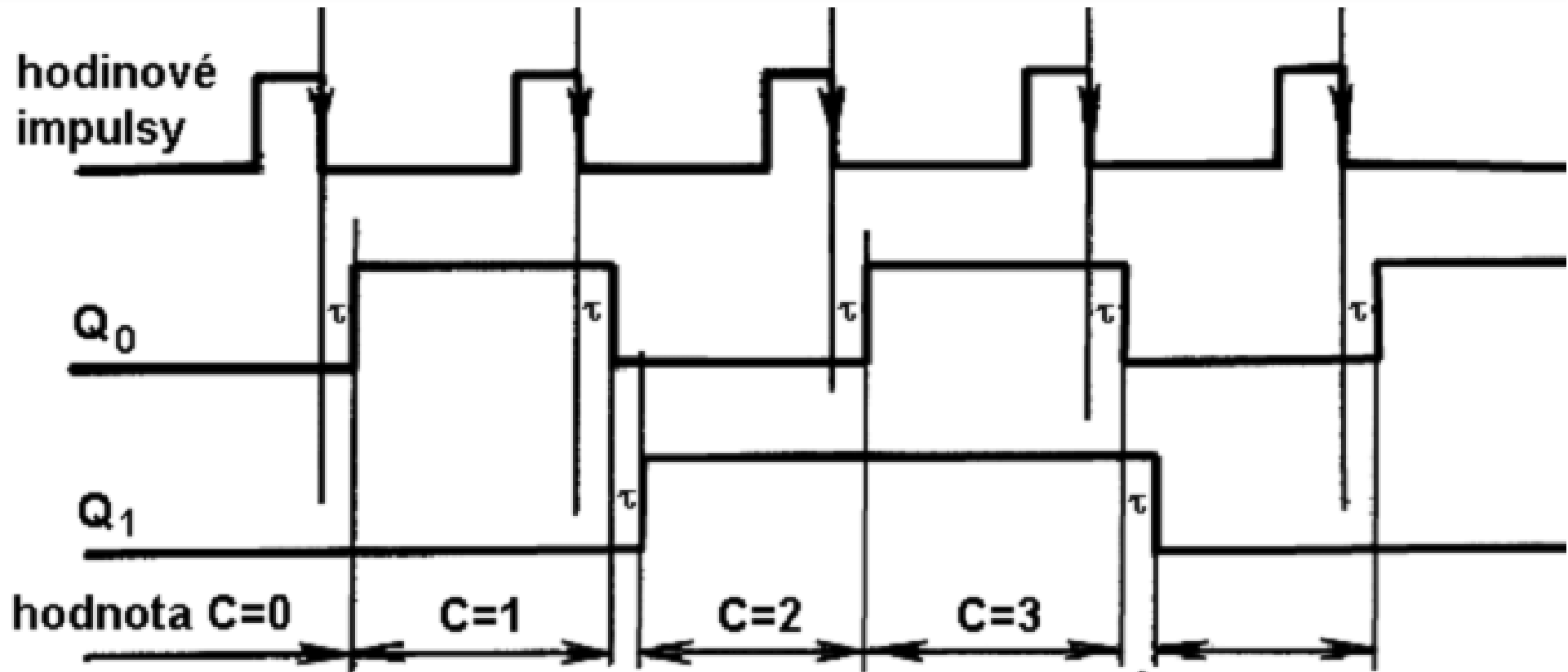


# Asynchronní čítače





# Asynchronní čítače



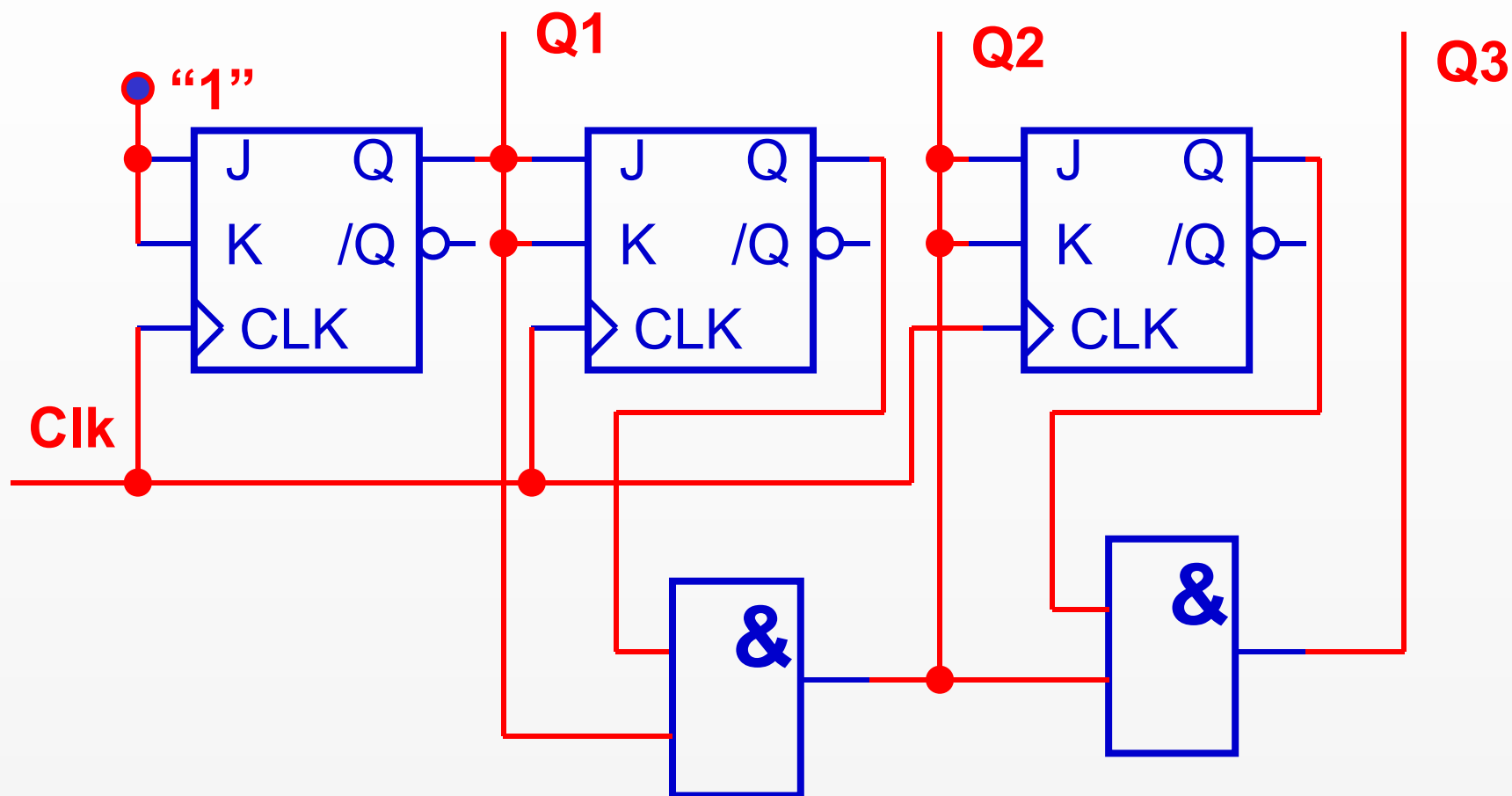
<http://www>





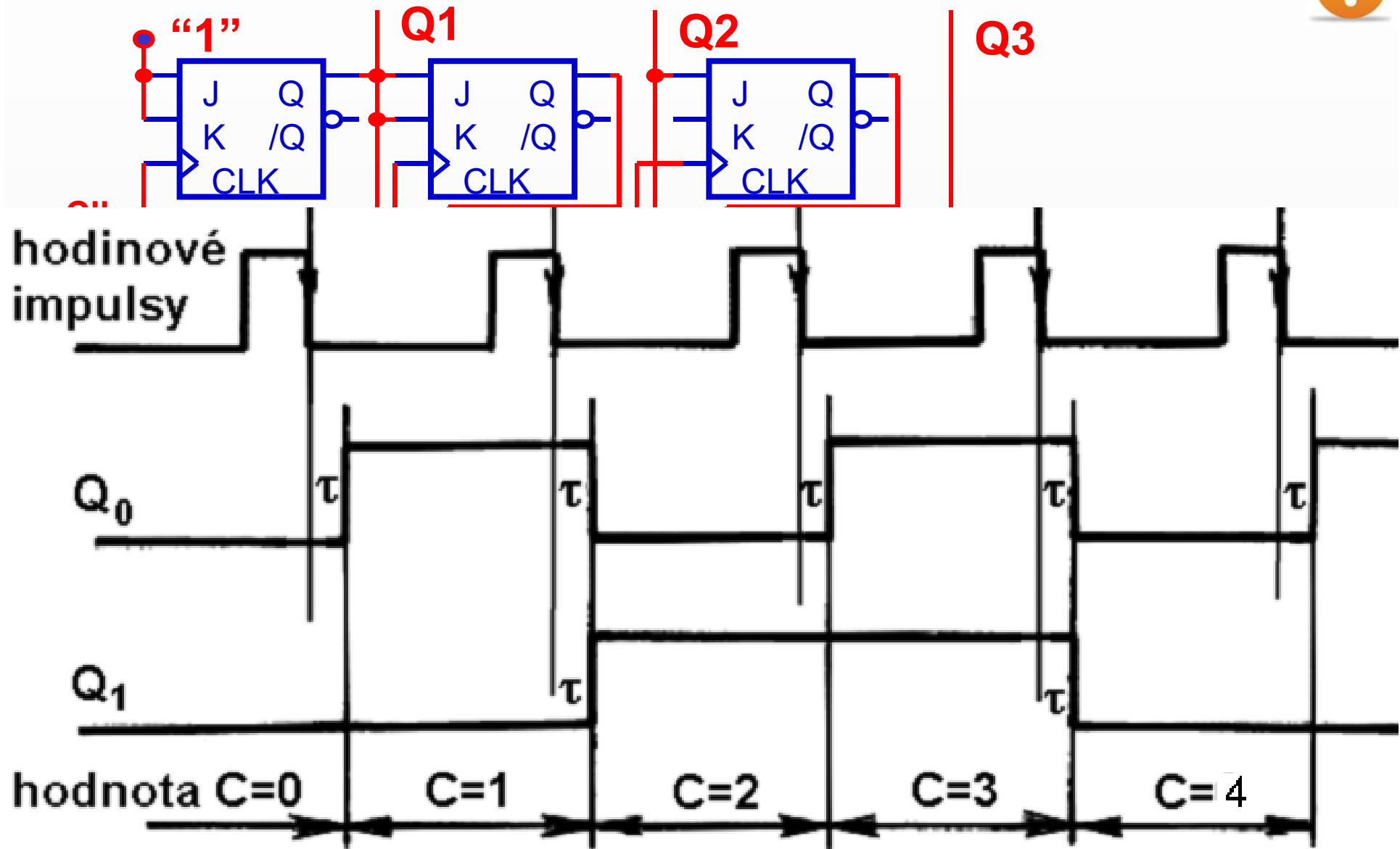


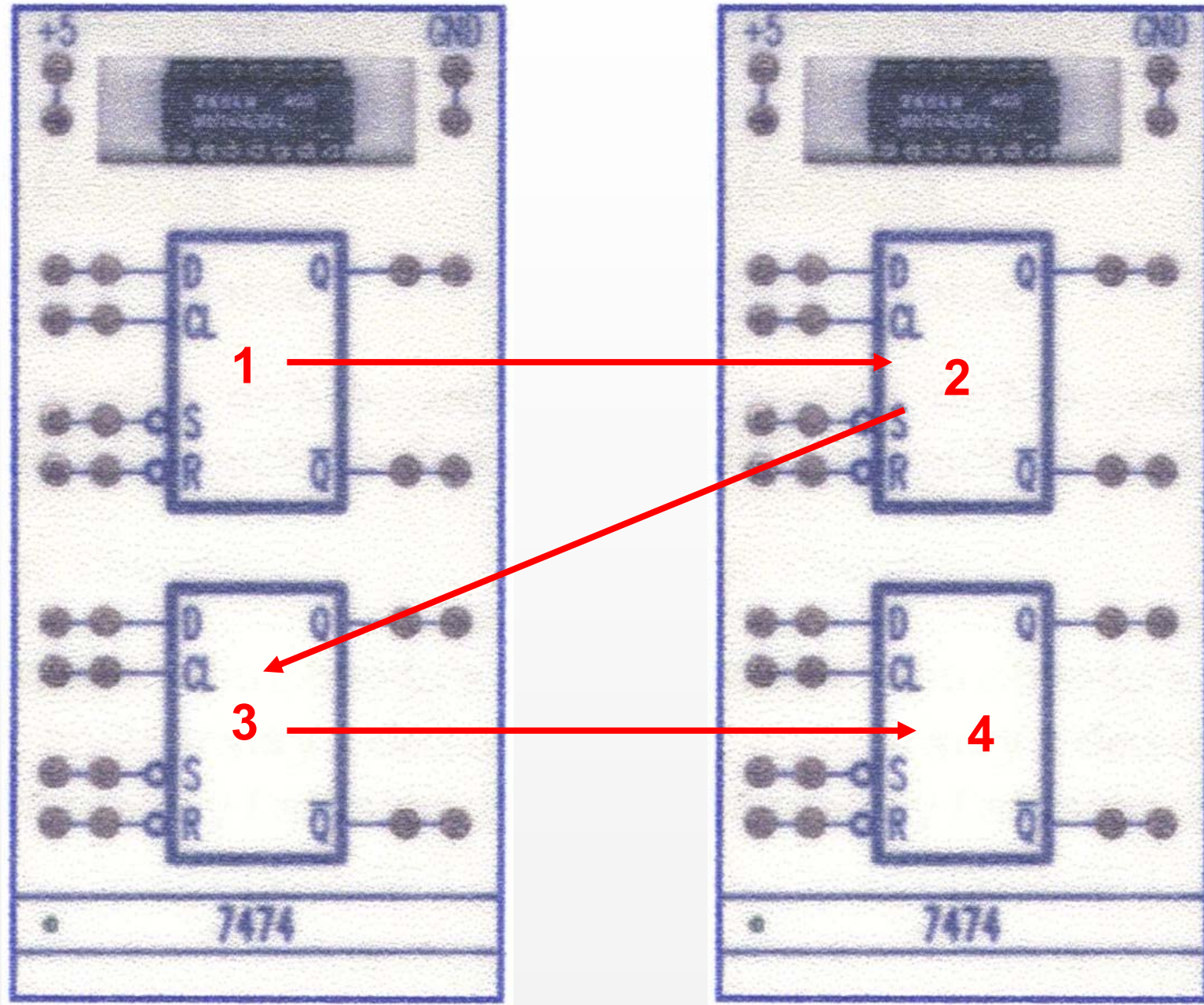
# Synchronní čítače





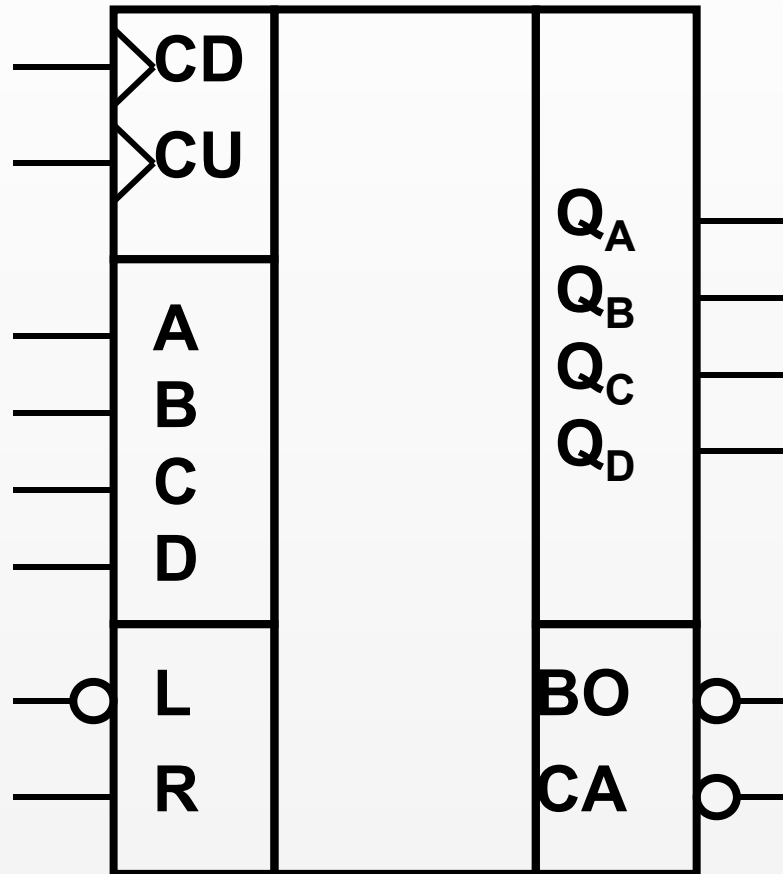
# Synchronní čítače





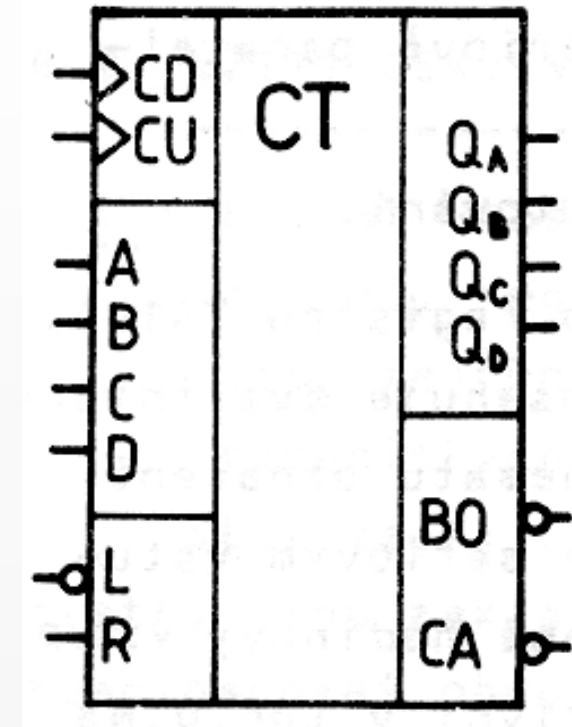
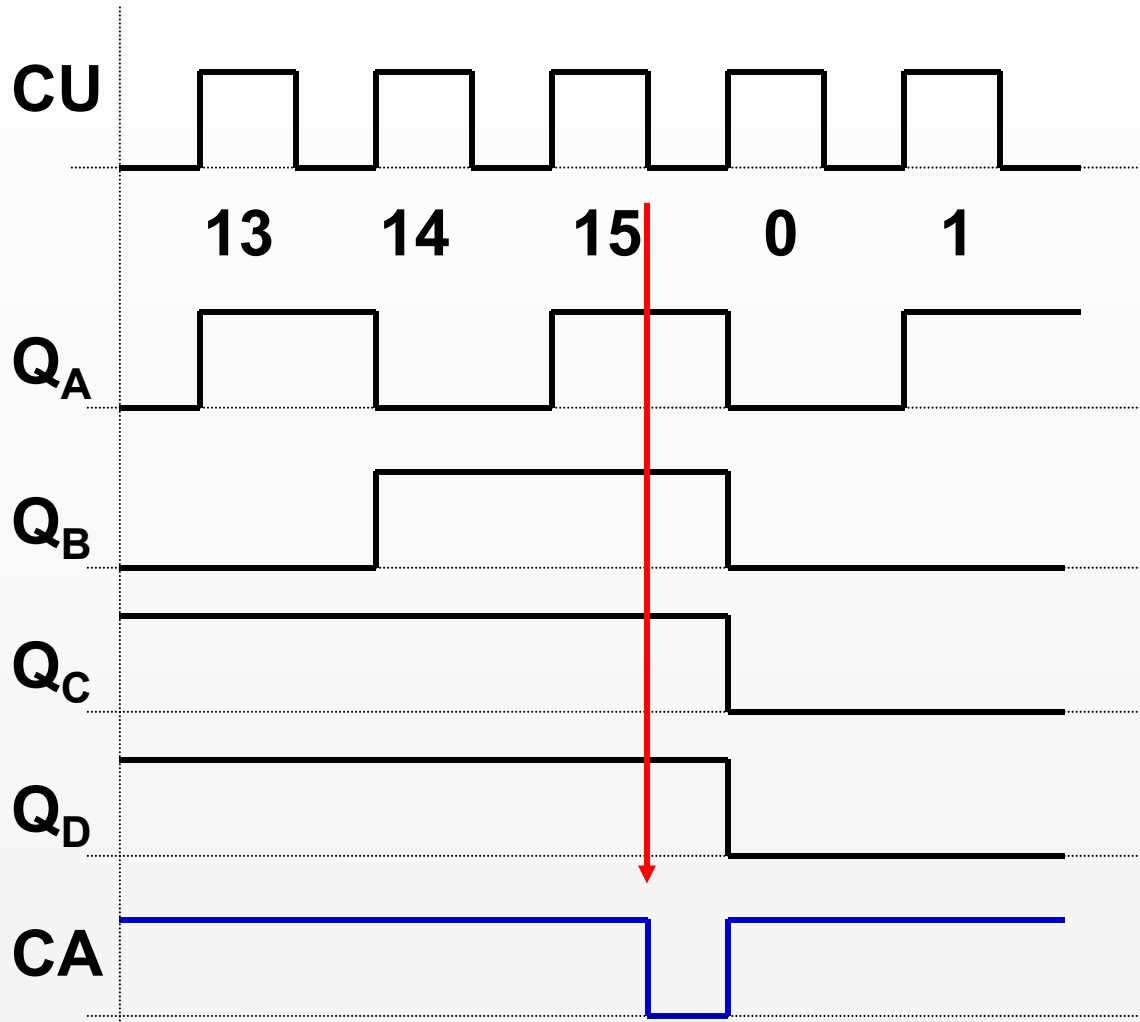


# Integrovaný čítač





# Časový diagram čítače

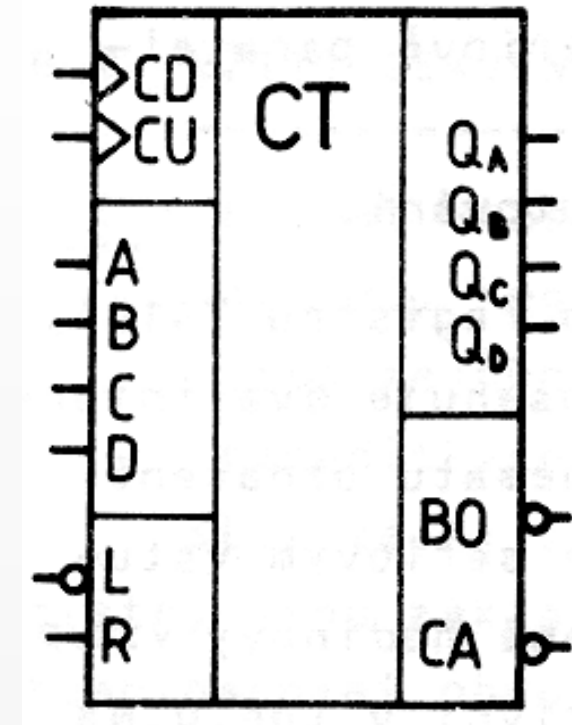
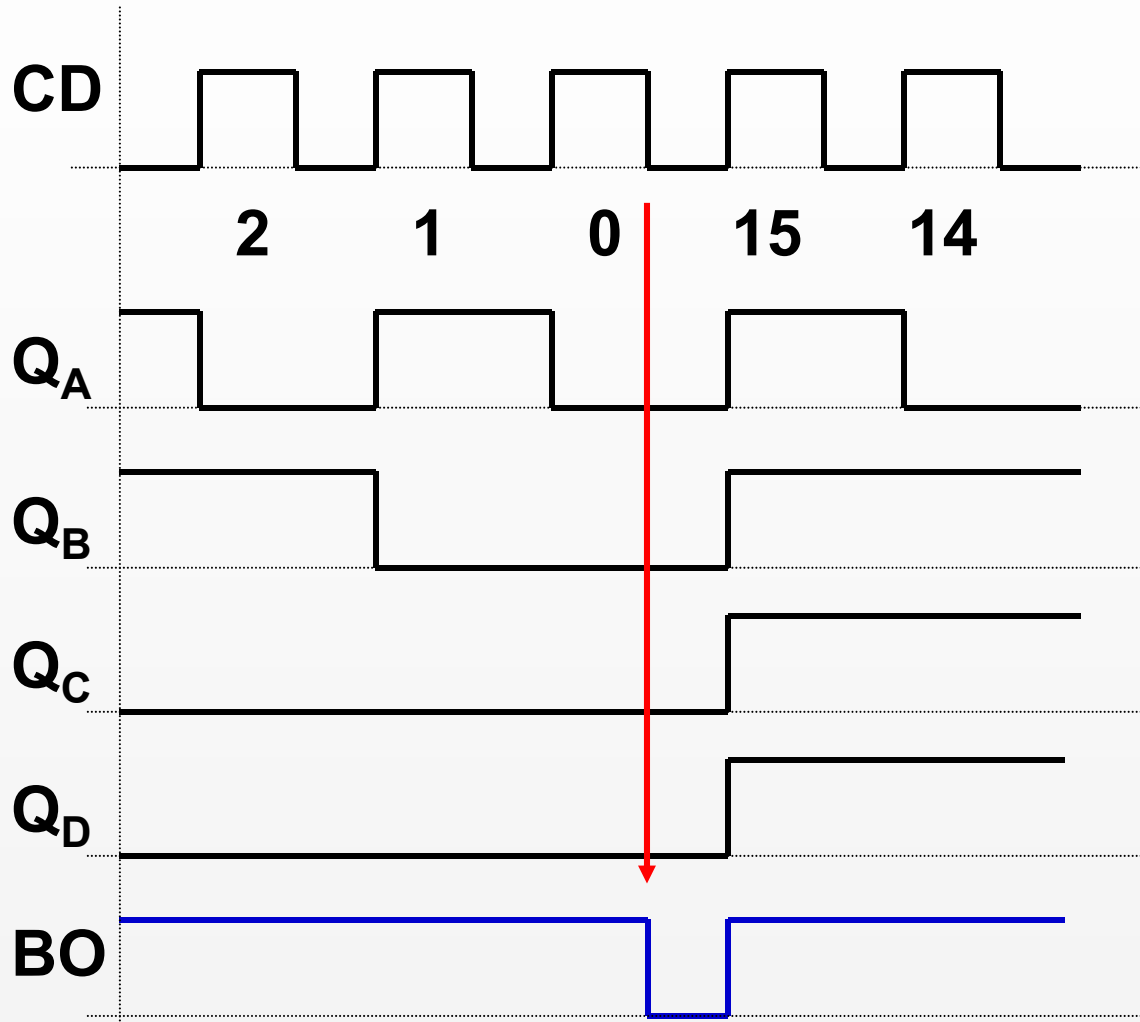


Count UP





# Časový diagram čítače

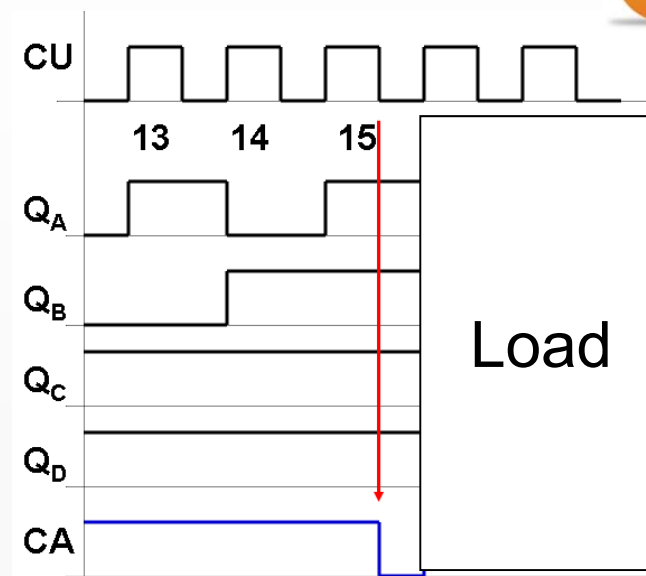
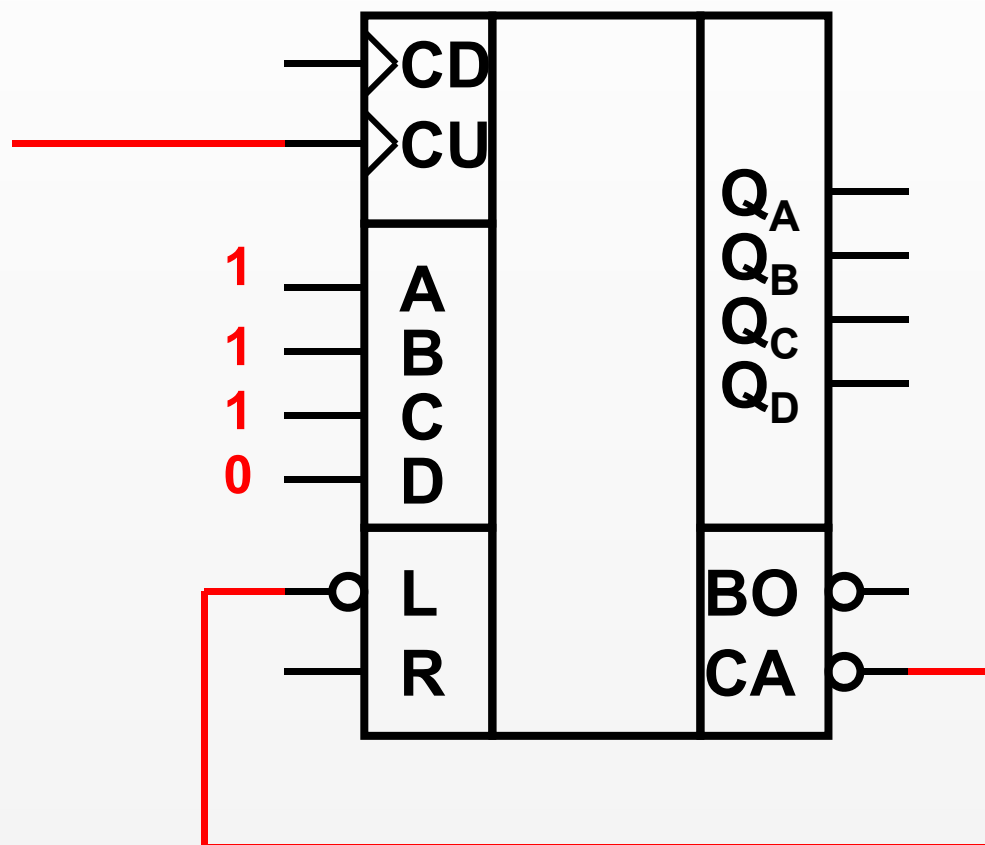


Count DOWN



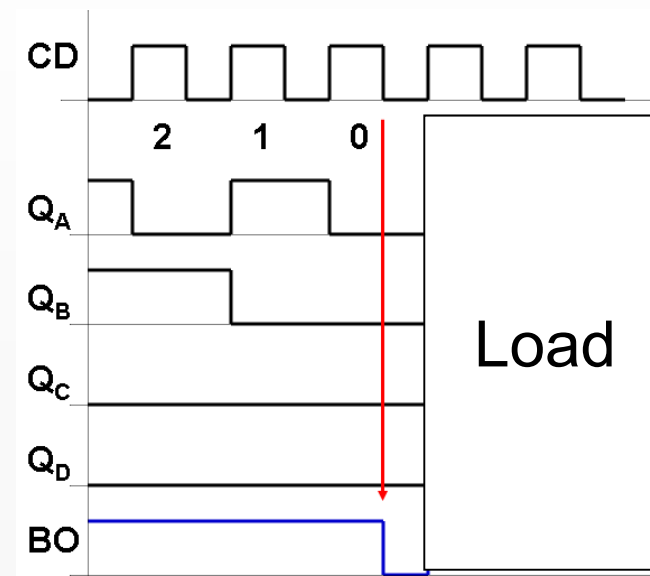
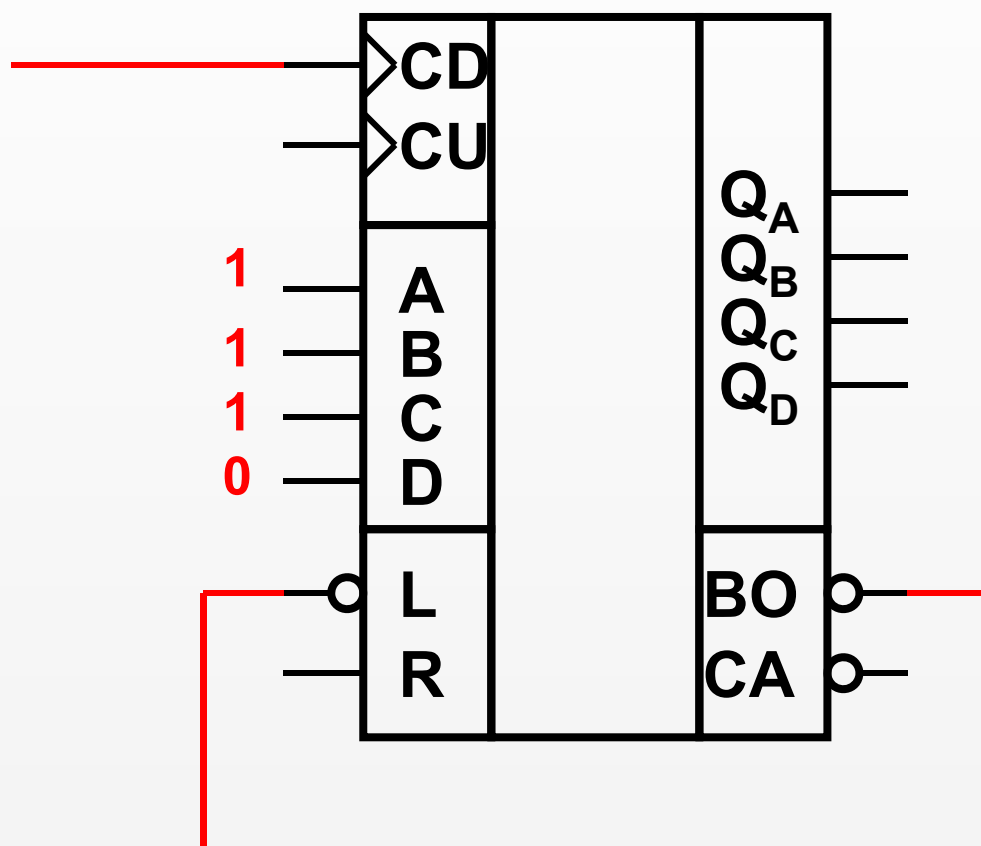


# Zkrácení cyklu čítače





# Zkrácení cyklu čítače



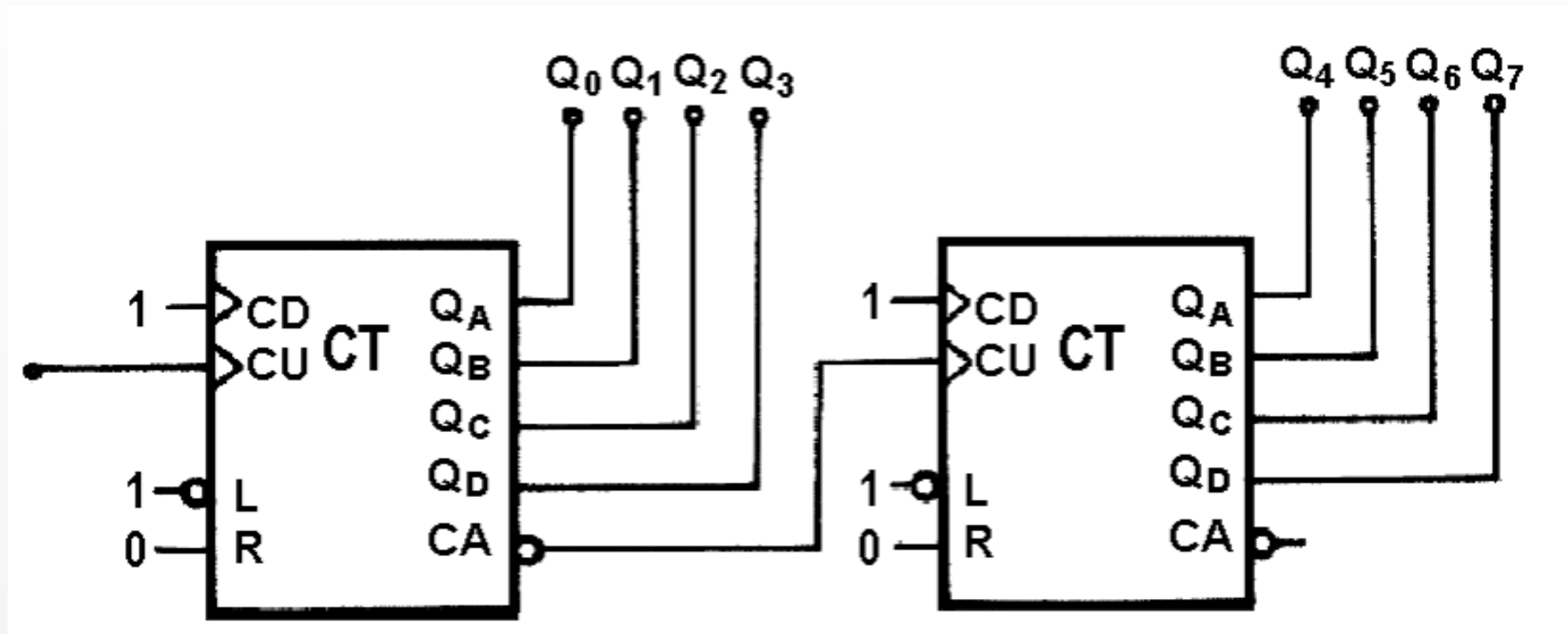




# Rozšíření čítače

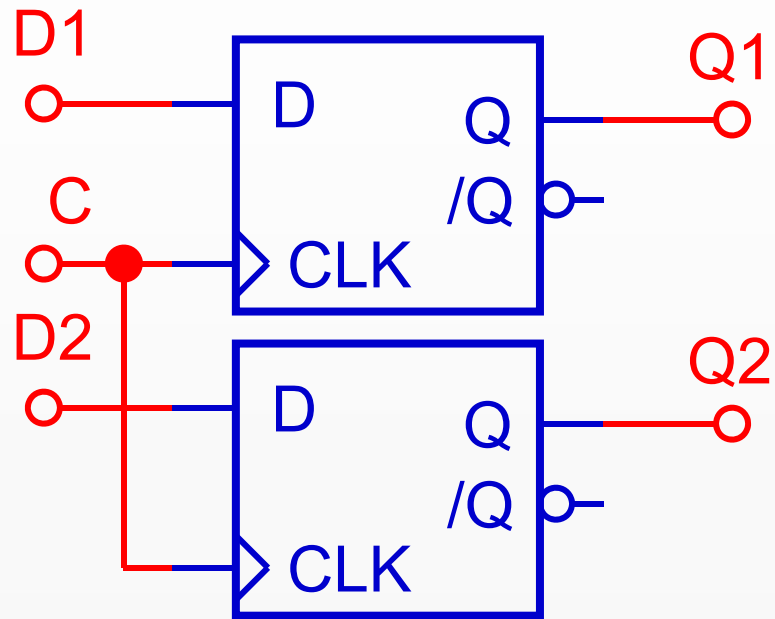


<http://www.ite.tul.cz>



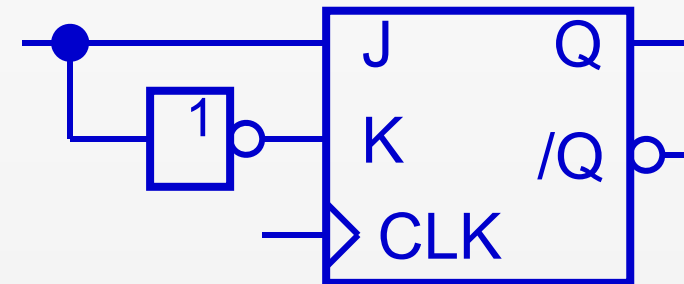
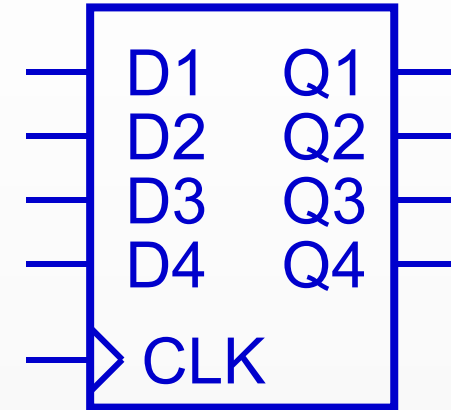
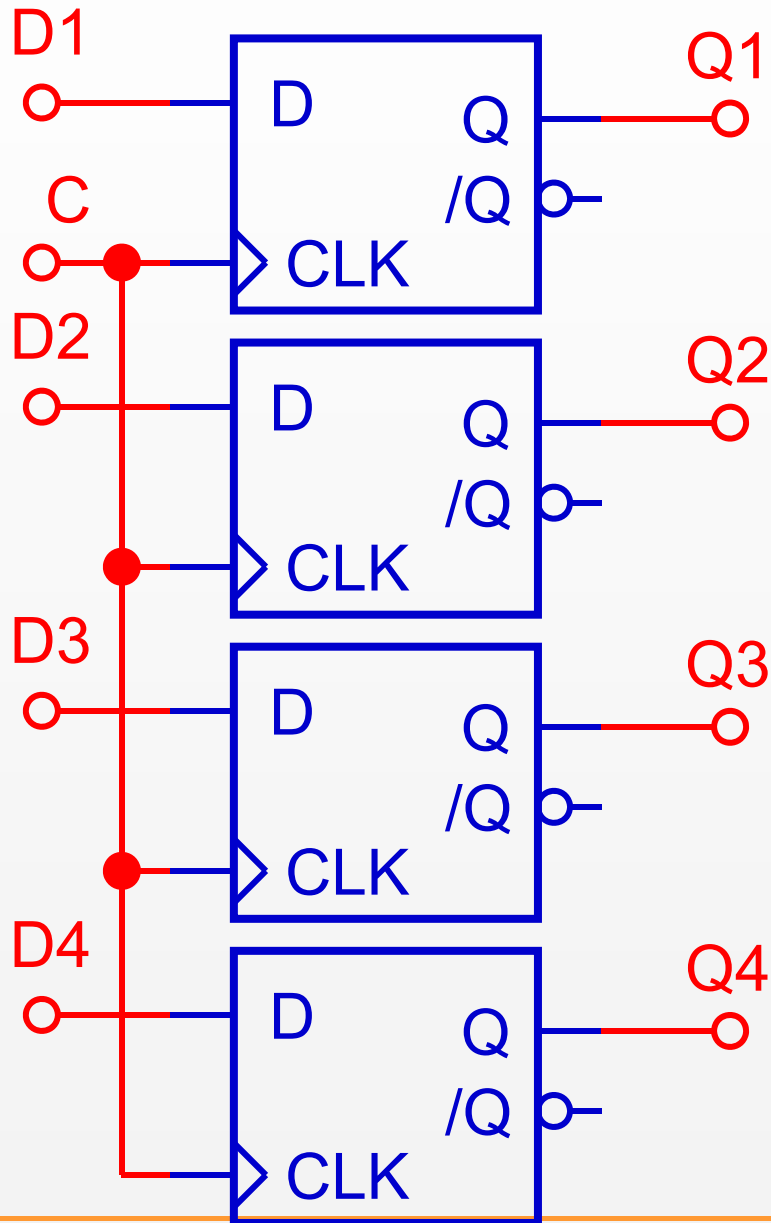


# Registr



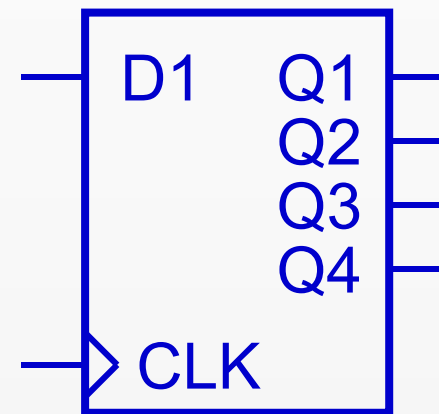
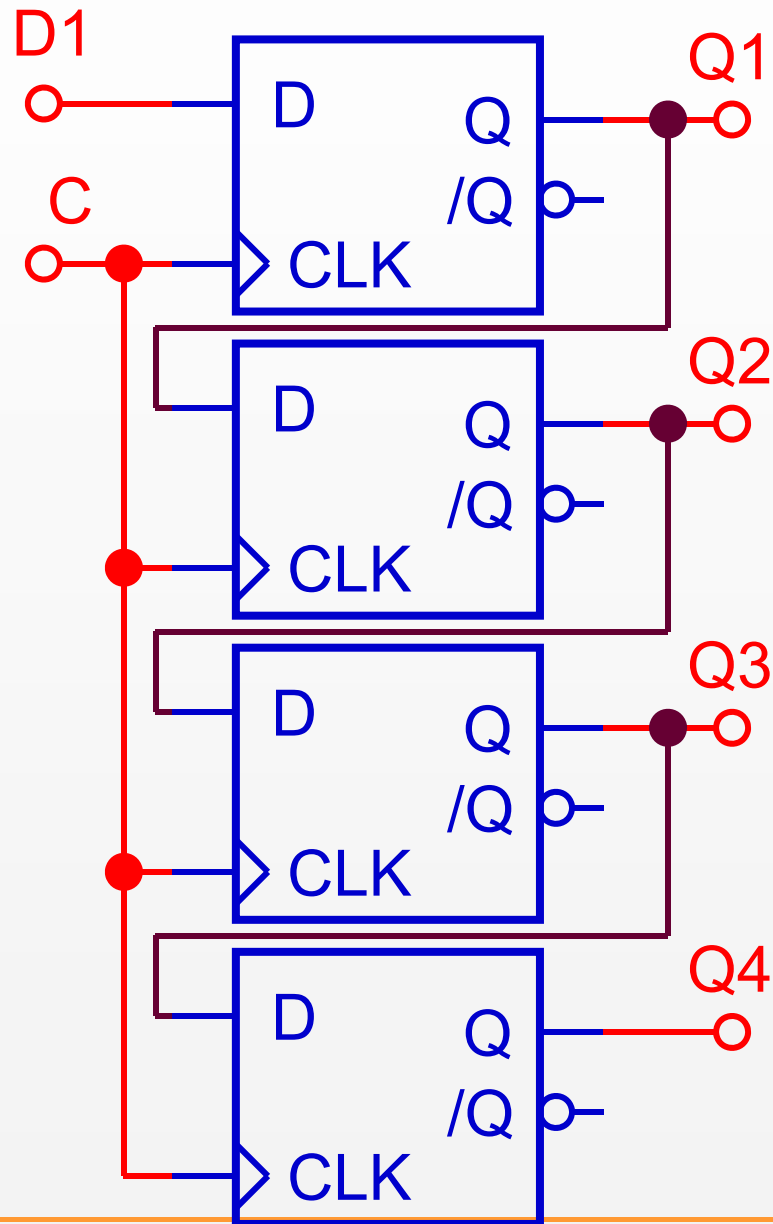


# Registr



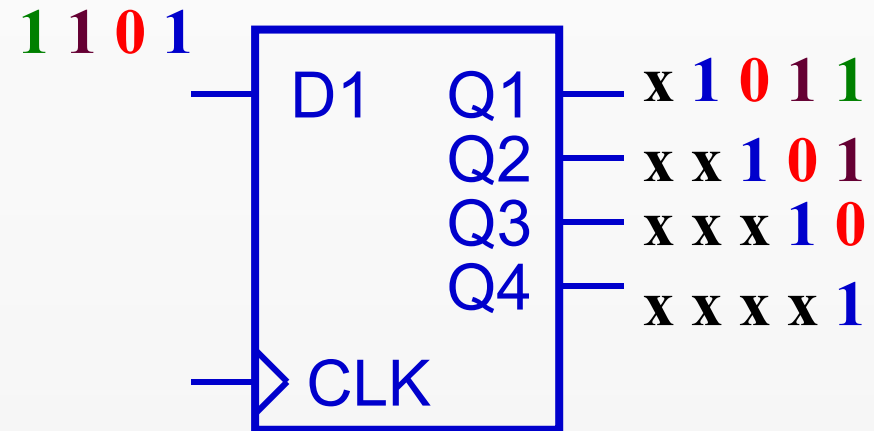
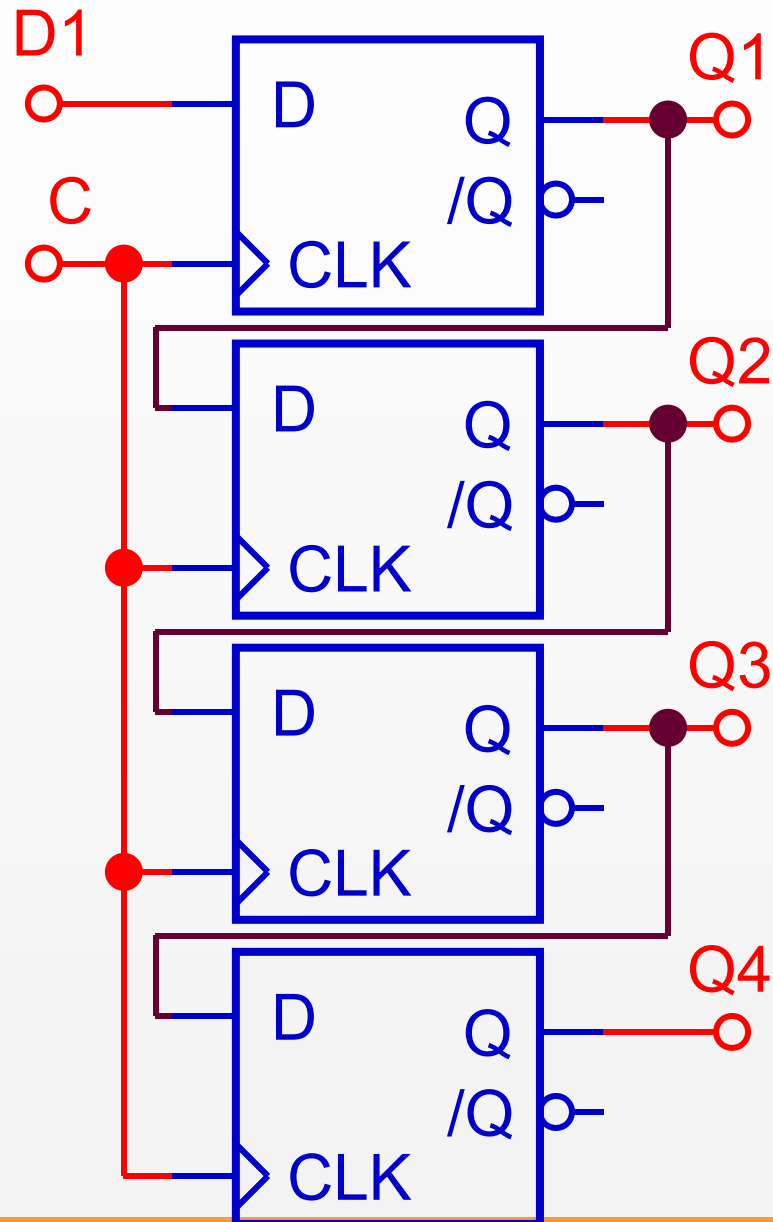


# Posuvný registr





# Posuvný registr

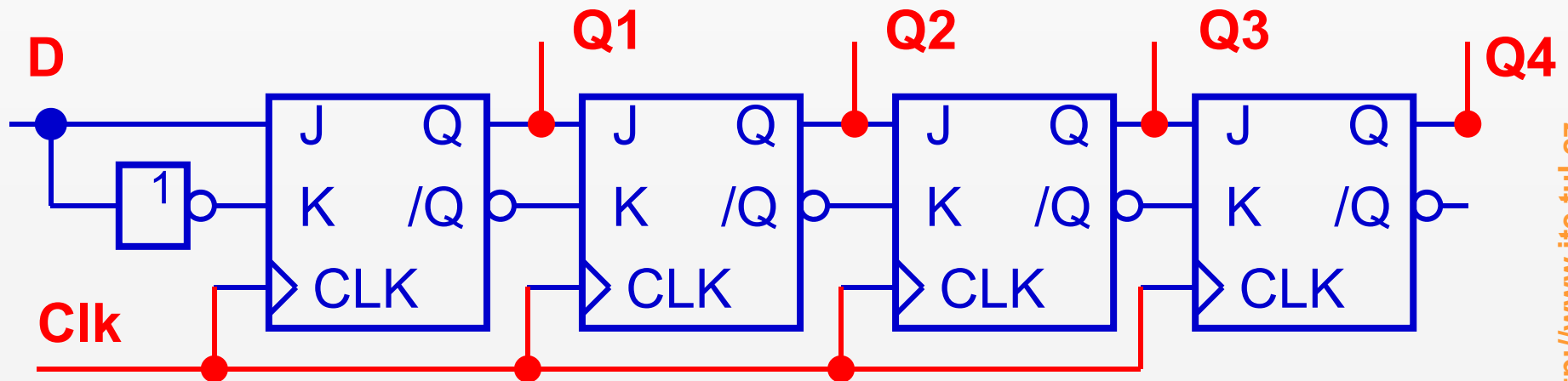
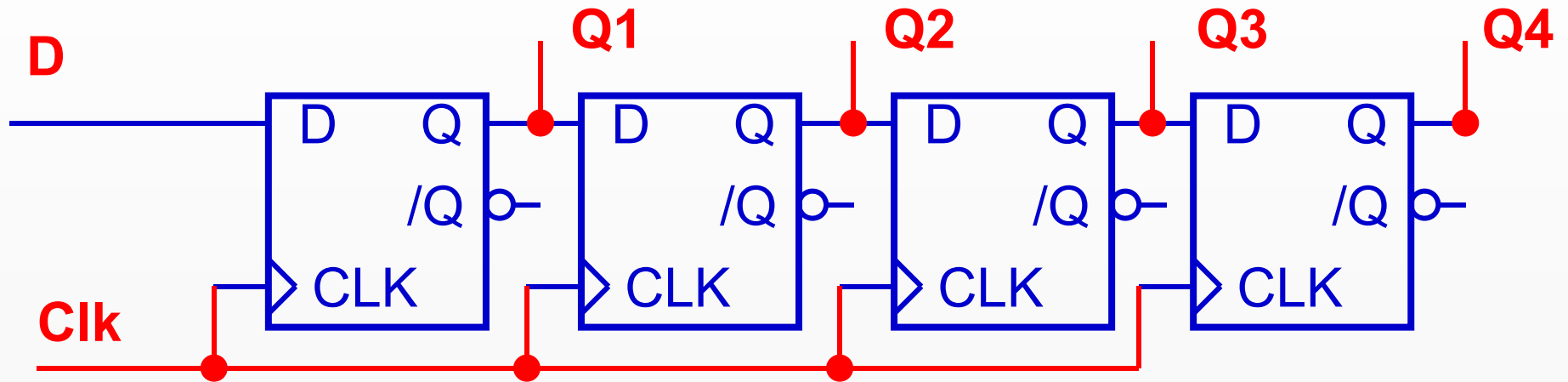


<http://www.ite.tul.cz>





# Posuvný registr

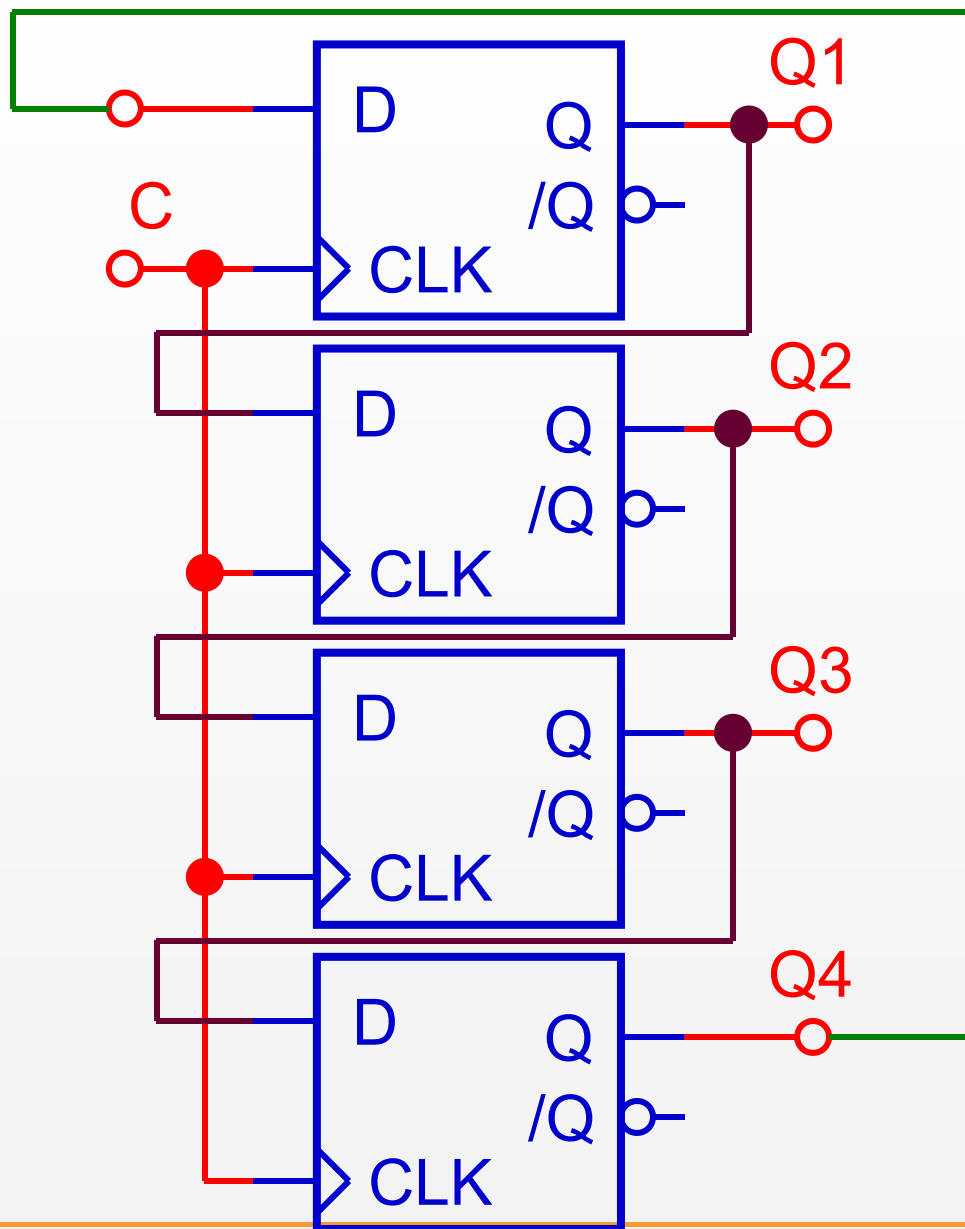


<http://www.ite.tul.cz>



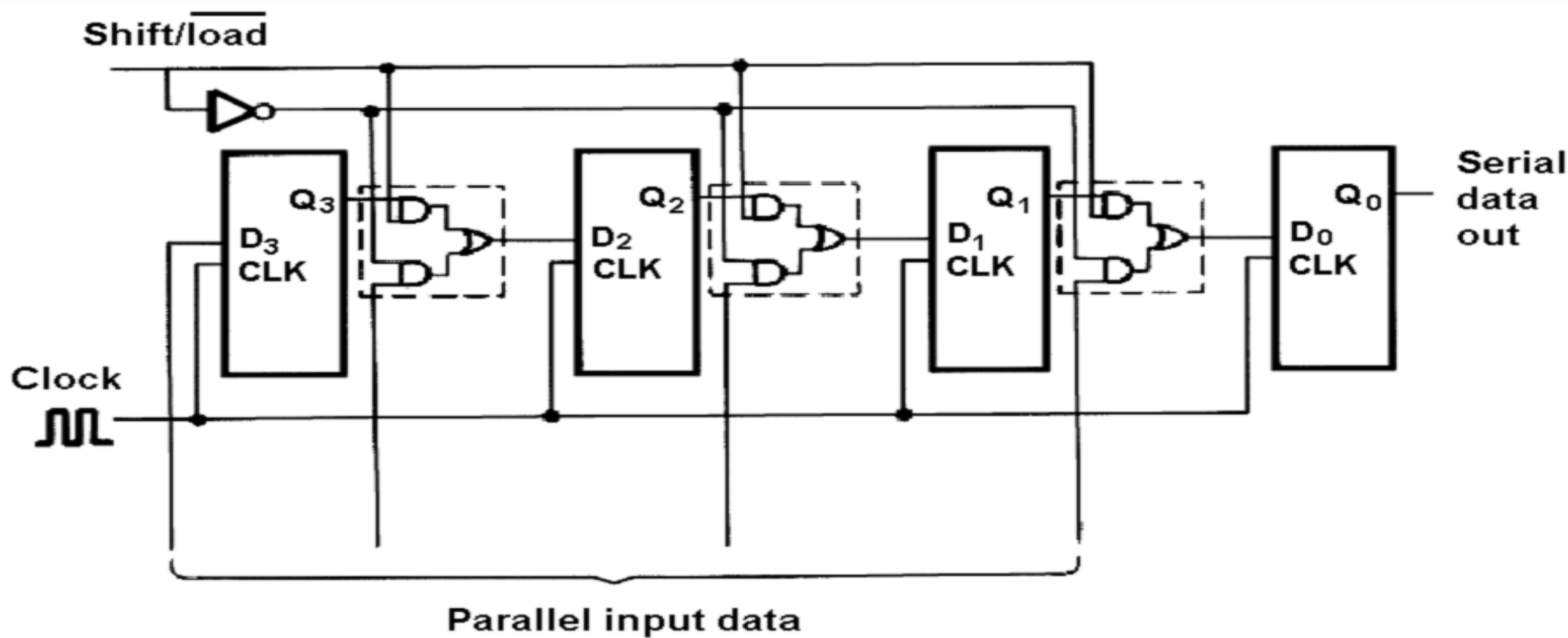


# Posuvný registr





# Posuvný registr



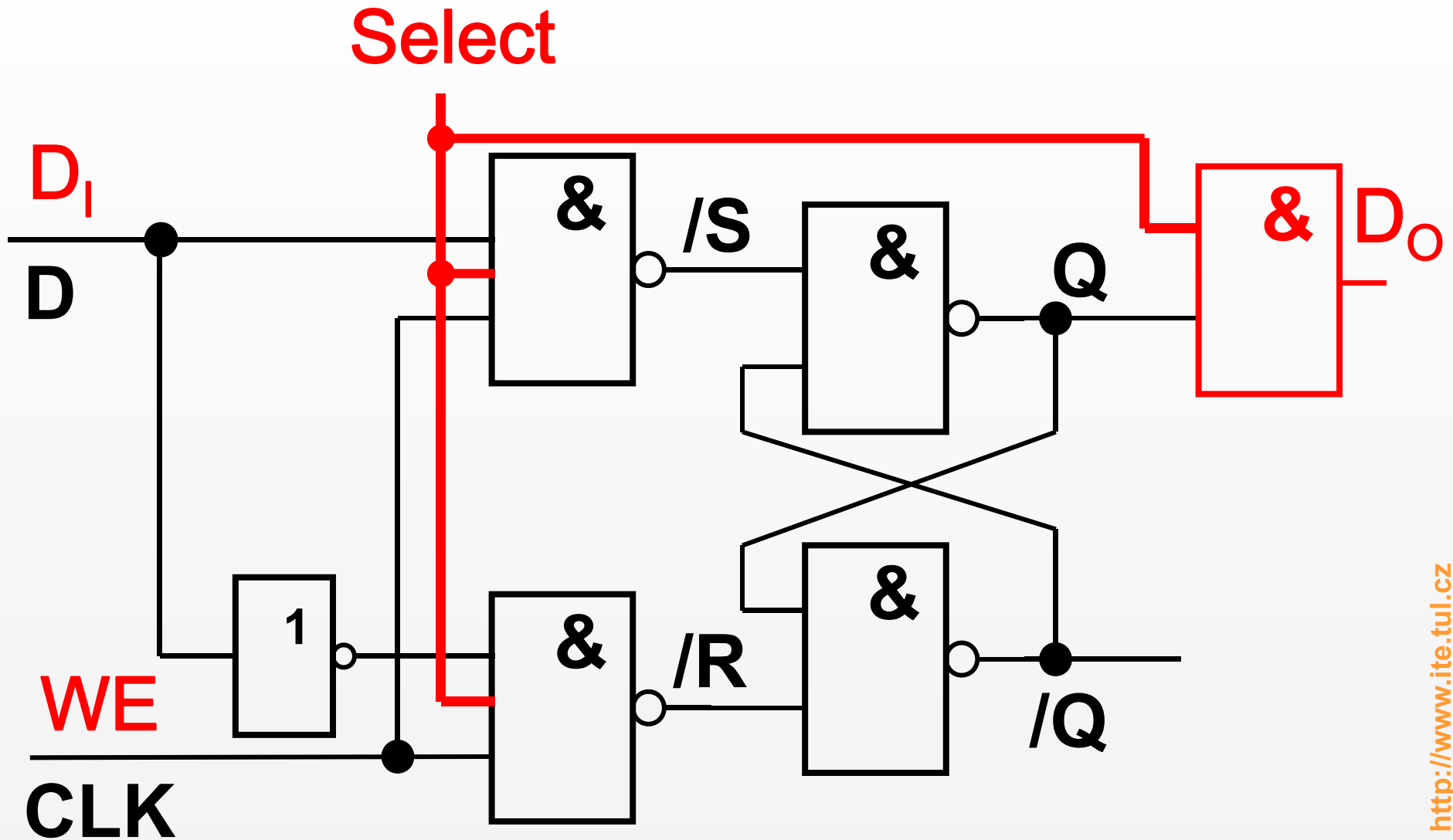
<http://www.ite.tul.cz>







# Statická paměťová buňka



<http://www.ite.tul.cz>



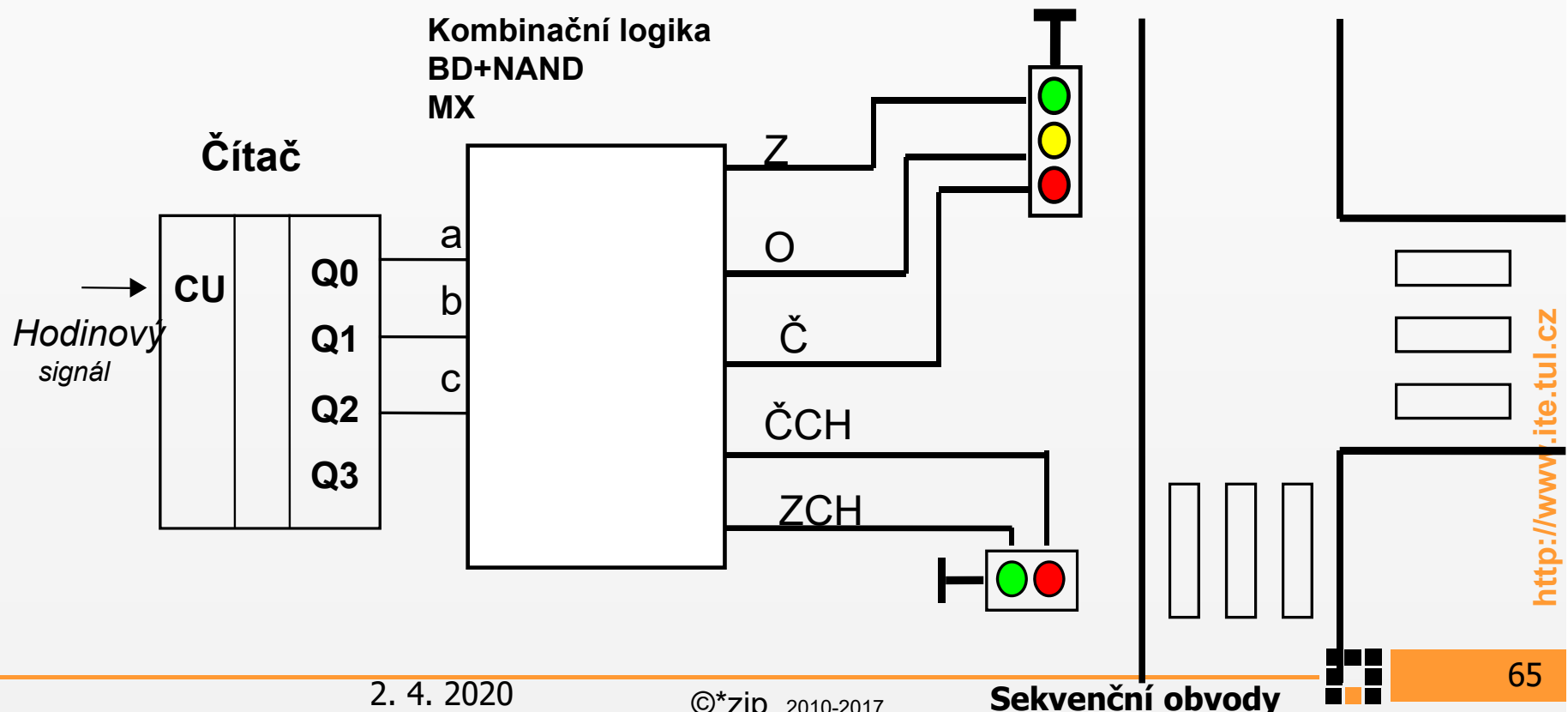


# Návrh sekvenčních obvodů



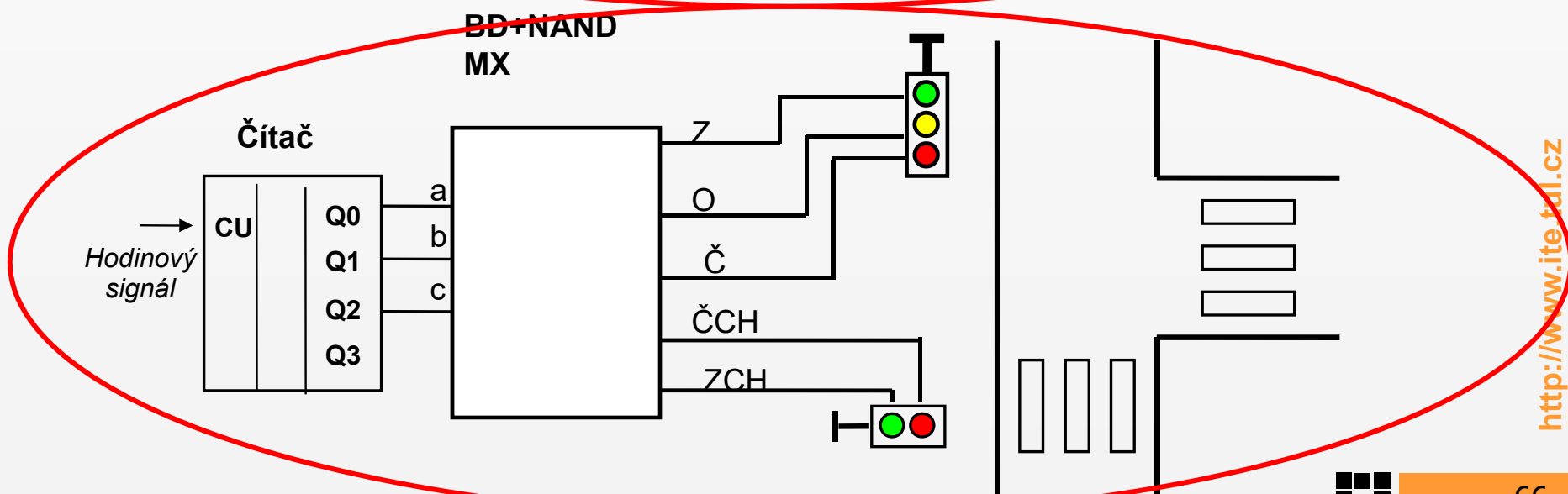
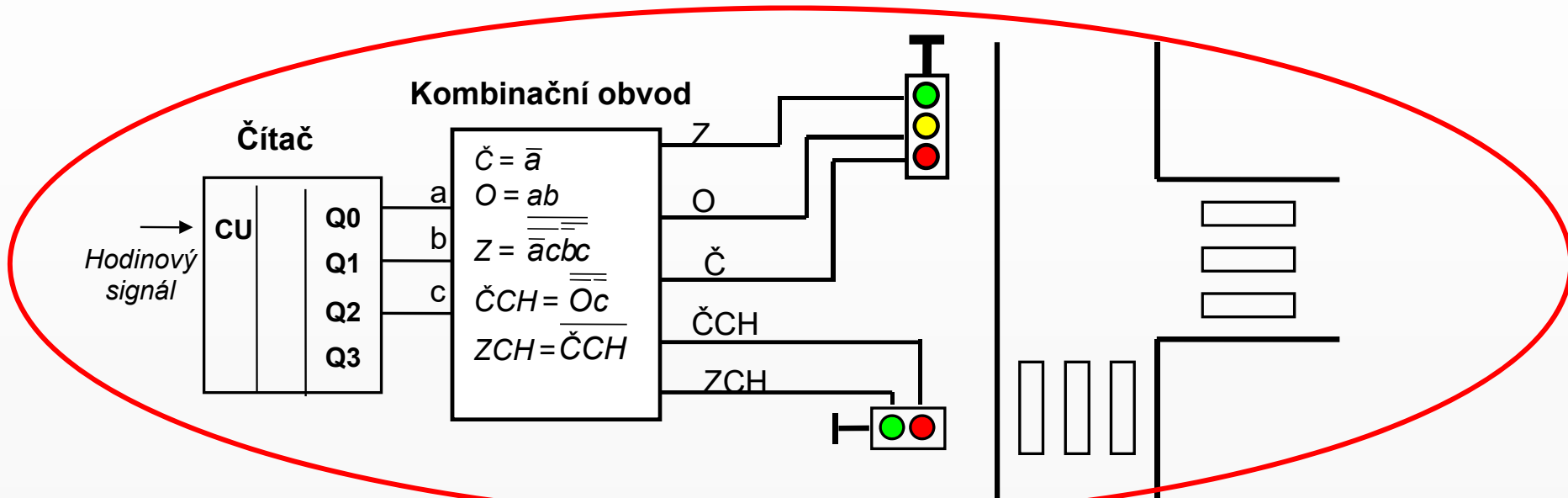
## Automat typu MOORE

- jednotlivé stavy „kódovány“ čítačem
- každému stavu odpovídá nějaká kombinace výstupních proměnných





# Návrh sekvenčních obvodů

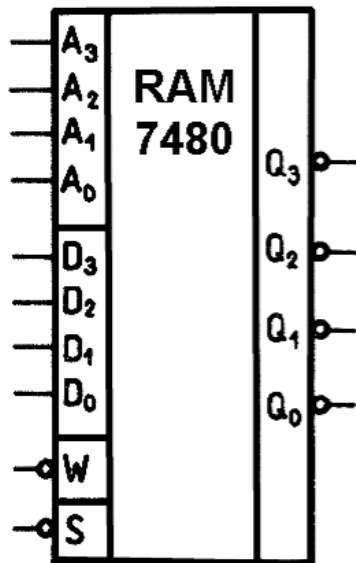
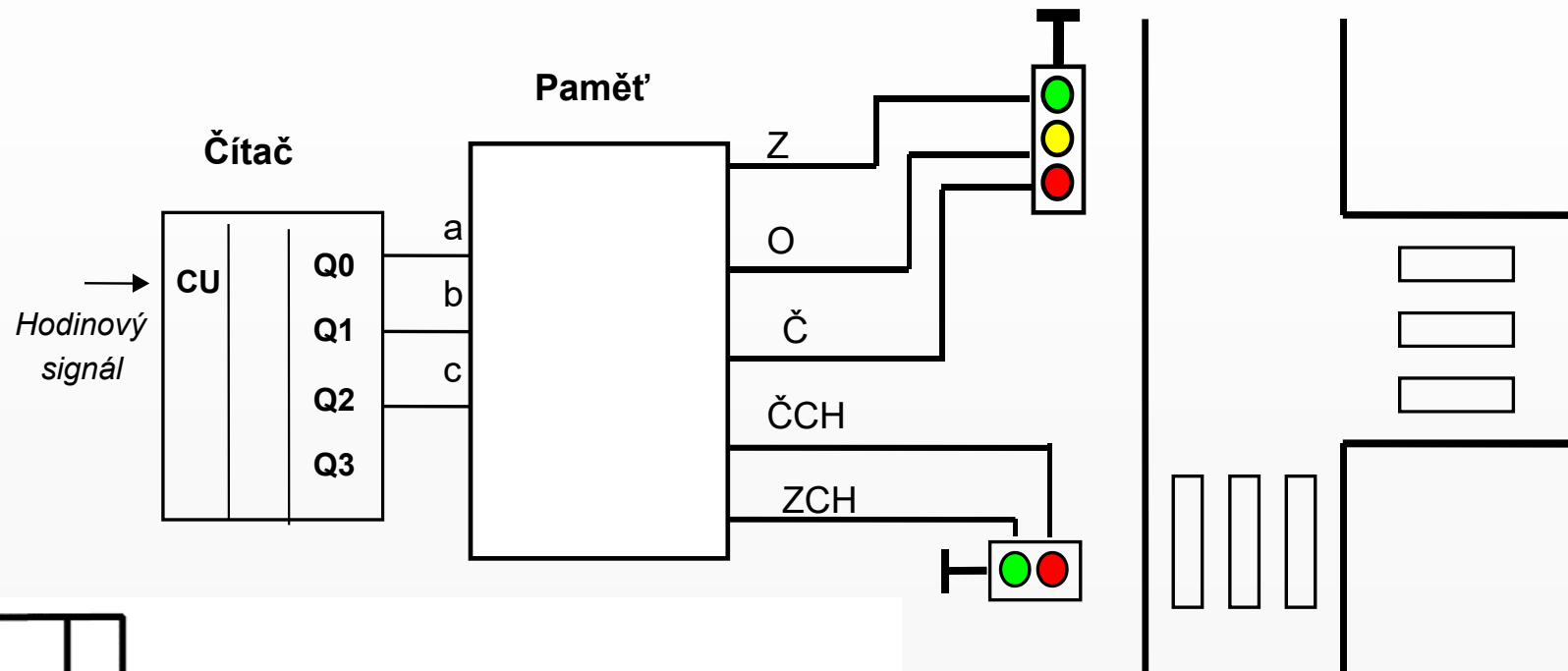


<http://www.ite.tul.cz>





# Návrh sekvenčních obvodů



S	W	Akce
0	0	zápis dat
0	1	čtení dat
1	0	přímý přenos dat
1	1	zablokování paměti

Paměť RAM





# Návrh sekvenčních obvodů



- Čítač + Kombinační logika
- Čítač + Dekodér + hradla NAND
- Čítač + Multiplexer
- Čítač + Paměť
- Počítač
- atd.





Děkuji za pozornost...

Zdeněk Plíva  
[zdenek.pliva@tul.cz](mailto:zdenek.pliva@tul.cz)  
Tel.: 3536

